

日 本 国 特 許 庁
JAPAN PATENT OFFICE

15.01.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 1月17日

REC'D 14 MAR 2003

出 願 番 号

Application Number:

特願2002-008323

[ST.10/C]:

[JP2002-008323]

出 願 人

Applicant(s):

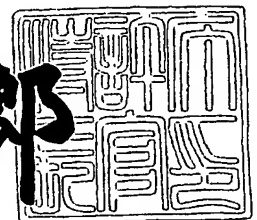
日本電気株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 2月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3010131

Best Available Copy

【書類名】 特許願

【整理番号】 34803758

【提出日】 平成14年 1月17日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/30
G09G 3/20
G09G 9/30
G02F 1/136

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 安部 勝美

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マトリックス型電流負荷駆動回路を備えた半導体装置とその駆動方法

【特許請求の範囲】

【請求項 1】

電流負荷と、電流負荷駆動回路と、を備える電流負荷セルが、マトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、

データ線に電流を供給する電流ドライバの 1 つの電流出力に対して、複数本のデータ線を 1 本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、

前記電流負荷セル内の電流負荷駆動回路は、

第 1 の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を記憶して供給するトランジスタと、

前記トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に接続される、一つのスイッチ又は直列接続された複数のスイッチと、

を備え、

前記電流負荷駆動回路の前記トランジスタのゲートに接続される前記スイッチを制御する制御線を、少なくとも、前記半導体装置の 1 ラインにおいて、前記電流ドライバの 1 電流出力が選択できるデータ線の本数と同じ数分備えている、ことを特徴とする半導体装置。

【請求項 2】

1 ラインを選択した 1 水平期間において、

前記電流ドライバの各電流出力が、前記複数本のデータ線のうち 1 本を選択した期間に、前記複数の制御線のうち対応する 1 本により、前記電流負荷セルの前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに、前記電流ドライバの 1 つの電流出力からの

電流に対応する電流を記憶させる制御を行い、

前記複数のデータ線のうち 1 本を選択した期間が終了する前、又は、同時に、
前記スイッチをオフする制御を行い、

前記各制御を、前記複数本のデータ線のそれぞれに対して行うことで、1 ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う手段を備えている、ことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

電流負荷と電流負荷駆動回路とを備える電流負荷セルがマトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、

データ線に電流を供給する電流ドライバの 1 つの電流出力に対して、複数本のデータ線を 1 本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、

前記電流負荷セル内の電流負荷駆動回路は、

第 1 の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を記憶して供給するトランジスタと、

前記トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、

を備え、

前記電流負荷駆動回路の前記トランジスタのゲートに一端が接続されるスイッチを制御する制御線を、前記半導体装置の 1 ラインにおいて、少なくとも、前記電流ドライバの 1 電流出力が選択できるデータ線の本数と同じ数分備え、

前記電流負荷駆動回路の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する制御線を、前記半導体装置の各ラインごとに備えている、ことを特徴とする半導体装置。

【請求項 4】

1 ラインを選択した 1 水平期間において、

前記ラインごとに備えられた制御線により、1ラインに相当する全電流負荷セル内の、前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを前記1水平期間、オンとし、

前記電流ドライバの各電流出力が、前記複数本のデータ線のうち1本を選択した期間に、前記複数の制御線のうち対応する1本により、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに、前記電流ドライバの1つの電流出力からの電流に対応する電流を記憶させる制御を行い、

前記複数のデータ線のうち1本を選択した期間が終了する前、又は同時に、前記スイッチをオフする制御を行い、

前記各制御を、前記複数本のデータ線のそれぞれに対して行うことで、1ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う手段を備えている、ことを特徴とする請求項3記載の半導体装置。

【請求項5】

前記電流ドライバを内蔵する、ことを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】

前記電流負荷が発光素子である、ことを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

【請求項7】

電流負荷が有機エレクトロルミネッセンス素子である、ことを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

【請求項8】

電流負荷と電流負荷駆動回路とを備える電流負荷セルが、マトリックス状に配置されており、

データ線を電流駆動する電流ドライバの1電流出力が、セレクトタに入力され、前記セレクトタでは、入力される出力セレクト信号に基づき前記セレクトタの複数の出力にそれぞれ接続されている複数本のデータ線の1本ずつを選択し、前記選択されたデータ線に前記電流ドライバの電流出力が供給される構成とされており、

前記電流負荷セルの前記電流負荷駆動回路は、

第 1 の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を供給するトランジスタと、

前記トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に接続される、1 つのスイッチ又は直列接続された複数のスイッチと、

を備え、

前記電流負荷駆動回路内の前記スイッチを制御する制御線を、少なくとも、前記半導体装置の 1 ラインにおいて、前記電流ドライバの 1 電流出力が前記セクタを介して選択できるデータ線の本数と同じ数備えており、

アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、

1 ラインを選択した 1 水平期間において、

前記出力セレクト信号に基づき、前記セクタにより前記複数本のデータ線のうちの 1 本のデータ線を選択した期間に、前記複数の制御線の内、前記選択されたデータ線に対応する制御線によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに対して、前記電流ドライバから前記選択されたデータ線に供給される電流出力に対応する電流を前記電流負荷に流すように設定する第 1 のステップと、

前記選択された 1 本のデータ線の選択期間が終了する前に、又は同時に、前記スイッチをオフする制御を行う第 2 のステップと、

を有し、前記第 1 及び第 2 のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1 ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う、ことを特徴とする半導体装置の駆動方法。

【請求項 9】

電流負荷と電流負荷駆動回路とを備える電流負荷セルが、マトリックス状に配置されており、

データ線を電流駆動する電流ドライバの 1 電流出力が、セクタに入力され、

前記セレクトでは、入力される出力セレクト信号に基づき前記セレクトの複数の出力にそれぞれ接続されている複数本のデータ線の 1 本ずつを選択し、前記選択されたデータ線に前記電流ドライバの電流出力が供給される構成とされており、
前記電流負荷セル内の電流負荷駆動回路は、

第 1 の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を記憶して供給するトランジスタと、

前記トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源との間に接続された容量と、

前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、

を備え、

前記電流負荷駆動回路内の前記トランジスタのゲートに一端が接続されるスイッチを制御する制御線を、前記半導体装置の 1 ラインにおいて、少なくとも、前記電流ドライバの 1 出力が選択できるデータ線の本数と同じ数分備え、

前記電流負荷駆動回路内の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する制御線を、前記半導体装置の各ラインごとに備えており、

アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、

1 ラインを選択した 1 水平期間において、前記ラインごとに備えられた制御線により、1 ラインに相当する前記電流負荷セル内の、前記電流負荷セルに対応データ線に一端が接続されているスイッチを、1 水平期間、オン状態とする第 1 のステップと、

前記出力セレクト信号に基づき、前記セレクトにより前記複数本のデータ線のうちの 1 本のデータ線を選択した期間に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに対して、前記電流ドライバから前記選択されたデータ線に供給させる電流出力に対応する電流を、前記電流負荷に流すように設定する第 2

のステップと、

前記選択された 1 本のデータ線の選択期間が終了する前に、又は同時に、前記スイッチをオフする制御を行う第 3 のステップと、

を有し、前記第 2 乃至第 3 のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1 ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う、ことを特徴とする半導体装置の駆動方法。

【請求項 1 0】

基板上へ一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、

を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備えた半導体装置において、

データ線を電流駆動するドライバの 1 つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、

前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第 1 の電源に接続され、ドレインが前記電流負荷の一端に接続されている第 1 の MOS トランジスタを備え、

前記電流負荷の他端は第 2 の電源に接続されており、

前記第 1 の MOS トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源とに、一端と他端がそれぞれ接続されている容量と、

前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第 1 のスイッチを備え、

前記第 1 のスイッチの他端は、直接又は、第 2 のスイッチを介して、対応するデータ線に接続されており、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々に対応して制御信号を個別に備え、

前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第 1 のスイッチの制御端子に、又は、前記第 1 のスイッチの制御端子と前記第 2 のスイッチの制御端子に共通に、前記複数の電流負荷セルの各々に対応して設けられている制御信号が供給される、ことを特徴とする半導体装置。

【請求項 1 1】

基板上一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、

を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備えた半導体装置において、

データ線を電流駆動するドライバの 1 つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、

前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第 1 の電源に接続され、ドレインが前記電

流負荷の一端に接続されている第 1 の MOS トランジスタを備え、

前記電流負荷の他端は第 2 の電源に接続されており、

前記第 1 の MOS トランジスタのゲートと、前記第 1 の電源又は前記第 1 の電源とは別の電源とに、一端と他端がそれぞれ接続されている容量と、

前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第 1 のスイッチを備え、

前記第 1 のスイッチの他端は、第 2 のスイッチを介して、対応するデータ線に接続されており、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第 1 のスイッチに対応して制御信号を個別に備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第 2 のスイッチに対応して共通の制御信号を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第 1 のスイッチの制御端子には、複数の前記電流負荷セルの各々に対して個別に設けられている制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第 2 のスイッチの制御端子には、前記共通の制御信号が供給される、ことを特徴とする半導体装置。

【請求項 1 2】

ソースが前記第 1 の電源に接続されゲートとドレインが接続されている第 2 の MOS トランジスタを備え、

前記第 1 のスイッチは、前記第 2 の MOS トランジスタのゲートと、前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードとの間に接続されており、

前記第 2 のスイッチは、前記第 2 の MOS トランジスタのドレインと、対応するデータ線との間に挿入されている、ことを特徴とする請求項 1 0 又は 1 1 記載の半導体装置。

【請求項 1 3】

前記電流負荷の一端と、前記第 1 の MOS トランジスタのドレインとの間に、

第 3 のスイッチを備え、

前記電流負荷の一端と前記第 3 のスイッチとの接続点ノードと前記第 2 の電源との間に第 4 のスイッチを備え、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの前記電流負荷駆動回路に対して、前記第 3 のスイッチの制御端子に接続される制御信号が共通に設けられており、

前記第 4 のスイッチの制御端子に接続される制御信号がそれぞれ共通に設けられている、ことを特徴とする請求項 1 0 乃至 1 2 のいずれかに記載の半導体装置。

【請求項 1 4】

前記第 1 の MOS トランジスタが TFT である、ことを特徴とする請求項 1 0 乃至 1 3 のいずれかに記載の半導体装置。

【請求項 1 5】

前記第 2 の MOS トランジスタが TFT である、ことを特徴とする請求項 1 2 記載の半導体装置。

【請求項 1 6】

前記電流負荷が発光素子である、ことを特徴とする請求項 1 0 乃至 1 5 のいずれかに記載の半導体装置。

【請求項 1 7】

前記電流ドライバを内蔵する、ことを特徴とする請求項 1 0 乃至 1 6 のいずれかに記載の半導体装置。

【請求項 1 8】

前記電流負荷が発光素子である、ことを特徴とする請求項 1 0 乃至 1 7 のいずれかに記載の半導体装置。

【請求項 1 9】

前記電流負荷が有機エレクトロルミネッセンス素子よりなる、ことを特徴とする請求項 1 0 乃至 1 7 のいずれかに記載の半導体装置。

【請求項 2 0】

基板上に一方に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、
を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数
備え、

前記電流負荷セルのそれぞれが、
電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、
を備え、

データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の
出力端に、複数本のデータ線がそれぞれ接続されているセクタを備え、

前記セクタは、入力される出力セレクト信号に基づき、前記複数本のデータ
線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデー
タ線に供給し、

前記セクタに接続される前記複数本のデータ線は、それぞれ、対応する複数
の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが前記電
流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに
一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに
一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、直接又は、第2のスイッチを介して、対応する
データ線に接続されており、

前記セクタに接続される複数本のデータ線にそれぞれ接続される前記複数の
電流負荷セルの各々に対応して制御信号を個別に備え、

前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第1の
スイッチの制御端子に、又は、前記第1のスイッチの制御端子と前記第2のスイ

ッチの制御端子に共通に、前記複数の電流負荷セルの各々に対応して設けられている制御信号が供給される半導体装置の駆動方法であって、

1 周期が、前記セレクトを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクトによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクトで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチ、又は第 1 及び第 2 のスイッチをオンすることで、前記電流負荷セル内の前記第 1 の MOS トランジスタに、前記データ線に供給されるドライバの電流出力に対応する電流を流し、

(c) 前記セレクトが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記電流負荷セルの前記第 1 のスイッチ、又は前記第 1 及び第 2 のスイッチを、オフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セレクトを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルへの電流書き込みを完了する、ことを特徴とする半導体装置の駆動方法。

【請求項 2 1】

基板上に一方に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、

を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備えた半導体装置において、

データ線を電流駆動するドライバの 1 つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、

前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第 1 の電源に接続され、ドレインが前記電流負荷の一端に接続されている第 1 の MOS トランジスタを備え、

前記電流負荷の他端は第 2 の電源に接続されており、

前記第 1 の MOS トランジスタのゲートと、前記第 1 の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第 1 のスイッチを備え、

前記第 1 のスイッチの他端は、第 2 のスイッチを介して、対応するデータ線に接続されており、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第 1 のスイッチに対応して制御信号を個別に備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第 2 のスイッチに対応して共通の制御信号を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第 1 のスイッチの制御端子には、複数の前記電流負荷セルの各々に対して個別に設けられている制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第 2 のスイッチの制御端子には、前記共通の制御信号が供給される半導体装置の駆動方法であって、

1 周期が、前記セレクトを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

前記共通の制御信号により、前記 1 周期の間、前記電流負荷セル内の前記第 2 のスイッチをオンし、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクトによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクトで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチをオンすることで、前記電流負荷セル内の前記第 1 の MOS トランジスタに、前記データ線に供給されるドライバの電流出力に対応する電流を流し、

(c) 前記セレクトが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記第 1 スwitch をオフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セレクトを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルへの電流書き込みを完了する、ことを特徴とする半導体装置の駆動方法。

【請求項 2 2】

ソースが前記第 1 の電源に接続されゲートとドレインが接続されている第 2 の MOS トランジスタを備え、

前記第 1 のスイッチは、前記第 2 の MOS トランジスタのゲートと、前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードとの間に接続されており、

前記第 2 のスイッチは、前記第 2 の MOS トランジスタのドレインと、対応するデータ線との間に挿入されている、ことを特徴とする請求項 2 0 又は 2 1 記載の半導体装置の駆動方法。

【請求項 2 3】

基板上へ一方向に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、

を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備え、

データ線を電流駆動するドライバの 1 つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、

前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第 1 の電源に接続され、ドレインが、スイッチ（「第 3 のスイッチ」という）を介して前記電流負荷の一端に接続されている第 1 の MOS トランジスタを備え、

前記電流負荷の他端は第 2 の電源に接続されており、

前記第 1 の MOS トランジスタのゲートと、前記第 1 の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第 1 のスイッチを備え、

前記第 1 のスイッチの他端は、直接又は、第 2 のスイッチを介して、対応するデータ線に接続されており、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の

電流負荷セルの各々に対応して制御信号を個別に備え、

前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第 1 のスイッチの制御端子に、又は、前記第 1 のスイッチの制御端子と前記第 2 のスイッチの制御端子に共通に、前記複数の電流負荷セルの各々に対応して設けられている制御信号が供給され、

前記電流負荷の一端と前記第 3 のスイッチとの接続点ノードと前記第 2 の電源との間に第 4 のスイッチを備え、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの前記電流負荷駆動回路に対して、前記第 3 のスイッチの制御端子に接続される制御信号が共通に設けられており、前記第 4 のスイッチの制御端子に接続される制御信号がそれぞれ共通に設けられている半導体装置の駆動方法であって、

1 周期が、前記セレクトを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクトによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクトで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチ、又は第 1 及び第 2 のスイッチをオンし、前記第 3 及び第 4 のスイッチはオフ状態とし、前記第 1 の MOS トランジスタのゲートに接続される前記容量の端子電圧を、前記データ線に供給されるドライバの電流出力に対応する電圧に設定し、

(c) 前記セレクトが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記電流負荷セルの前記第 1 のスイッチ、又は前記第 1 及び第 2 のスイッチを、オフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セレクトを介して前記ドライバに接続さ

れる複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルの前記第 1 の MOS トランジスタへの電流設定を行い、

(d) 前記周期につづいて前記第 3 のスイッチをオンし、前記電流負荷セルの前記第 1 の MOS トランジスタのドレイン電流が前記電流負荷セルに供給される、ことを特徴とする半導体装置の駆動方法。

【請求項 2 4】

基板上一方向に延在されている複数本のデータ線と、
前記データ線と直交する方向に延在される複数本の制御線と、
を備え、

前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、
電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、
を備えた半導体装置において、

データ線を電流駆動するドライバの 1 つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、

前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第 1 の電源に接続され、ドレインが、スイッチ（「第 3 のスイッチ」という）を介して前記電流負荷の一端に接続されている第 1 の MOS トランジスタを備え、

前記電流負荷の他端は第 2 の電源に接続されており、

前記第 1 の MOS トランジスタのゲートと、前記第 1 の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第 1 のスイッチを備え、

前記第 1 のスイッチの他端は、第 2 のスイッチを介して、対応するデータ線に接続されており、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第 1 のスイッチに対応して制御信号を個別に備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第 2 のスイッチに対応して共通の制御信号を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第 1 のスイッチの制御端子には、複数の前記電流負荷セルの各々に対して個別に設けられている制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第 2 のスイッチの制御端子には、前記共通の制御信号が供給され、

前記電流負荷の一端と前記第 3 のスイッチとの接続点ノードと前記第 2 の電源との間に第 4 のスイッチを備え、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの前記電流負荷駆動回路に対して、前記第 3 のスイッチの制御端子に接続される制御信号が共通に設けられており、前記第 4 のスイッチの制御端子に接続される制御信号がそれぞれ共通に設けられている半導体装置の駆動方法であって、

1 周期が、前記セレクトを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

前記共通の制御信号により、前記 1 周期の間、前記電流負荷セル内の前記第 2 のスイッチをオンし、前記第 3、第 4 のスイッチはオフし、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクトによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクトで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチをオンすることで、前記電流負荷セル内の前記第 1 の MOS トランジスタのゲートに接続される前記容量の端子電圧を、前記データ線に供給されるドライバの電流出力に対応する電圧に設定し、

(c) 前記セレクトが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記第 1 スwitch をオフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セレクトを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルの前記第 1 の MOS トランジスタへの電流設定を行い、

(d) 前記周期につづいて前記第 3 のスイッチをオンし、前記電流負荷セルの前記第 1 の MOS トランジスタのドレイン電流が前記電流負荷セルに供給される、ことを特徴とする半導体装置の駆動方法。

【請求項 2 5】

前記 (d) の処理において、前記第 3 のスイッチを所定期間オンした後、前記第 3 のスイッチをオフし、前記第 3 のスイッチのオフと同時に、あるいは、その後、前記第 4 のスイッチをオンする、ことを特徴とする請求項 2 3 又は 2 4 記載の半導体装置の駆動方法。

【請求項 2 6】

前記電流負荷が、発光素子よりなり、前記一周期が 1 水平期間である、ことを特徴とする請求項 2 0 乃至 2 5 のいずれか一に記載の半導体装置の駆動方法。

【請求項 2 7】

一方向に延在されている複数本のデータ線と、該データ線と直交する方向に延在される複数本の制御線と、を備え、前記データ線と前記制御線との交差部に電流負荷セルをマトリックス状に備えた半導体装置において、

前記電流負荷セルは、

電流負荷と、

第 1 の電源と第 2 の電源との間に、前記電流負荷と直列形態に接続されているトランジスタと、

前記トランジスタの制御端子と前記第 1 の電源の間に接続された容量と、

前記トランジスタの制御端子と対応するデータ線との間に接続された少なくとも一つのスイッチと、を備え、前記電流負荷を駆動する電流負荷駆動回路を備え

、
前記電流ドライバの 1 電流出力をセクタを介して複数のデータ線に接続し、
1 水平期間において、前記セクタを介して前記電流ドライバの 1 電流出力に接続される複数本のデータ線と、前記複数本のデータ線のそれぞれに対応する複数の前記電流負荷セルの前記スイッチの少なくとも一つが、時分割で、駆動制御される、ことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流負荷と電流負荷駆動回路を備えた半導体装置及びその駆動方法に関し、特に、電流負荷と電流負荷駆動回路がマトリックス状に配置され、アクティブ駆動を行う半導体装置とその駆動方法に関する。

【0002】

【従来の技術】

電流負荷がマトリックス状に配置された半導体装置として、例えば図 1 3 に示すような構成が知られており、様々な応用が考えられている。図 1 3 において、半導体装置 2 0 0 には、複数本のデータ配線 2 0 2 が並行に配設され、データ配線 2 0 2 と直交する方向に複数本の走査配線 2 0 3 が並行に配設されており、データ配線 2 0 2 と走査配線 2 0 3 の交差部に、負荷セル 2 0 1 がマトリックス状に配設されている。電圧ドライバ又は電流ドライバ 2 3 0 は、データ配線 2 0 2 を、電圧駆動又は電流駆動する。走査回路 2 4 0 は、走査配線 2 0 3 を駆動する。かかる装置の一例として、負荷セル 2 0 1 として電流負荷である有機 E L (Electro-Luminescence : エレクトロルミネッセンス) 素子を用いた有機 E L 表示装置がある。

【 0 0 0 3 】

これら電流負荷がマトリックス状に配置された半導体装置の駆動方法として、大きく分けて次の2種類がある。すなわち、

(1) 1ラインごと選択し、選択した期間のみ負荷を駆動するパッシブ駆動、

(2) 1ラインごと選択し、選択した期間に負荷を駆動するための情報、つまり各電流負荷に与える電流値を記憶させ、次に同じラインを選択するまで、前記記憶した電流値にて負荷を駆動するアクティブ駆動、

の2種類がある。

【 0 0 0 4 】

パッシブ駆動用の装置は、電流負荷によって構成され、例えば図14(a)に示すように、マトリックス状に配置されている電流負荷セル201は、データ線202と走査線203の間に接続されている電流負荷206と、複数のデータ配線202、走査配線203のみの簡単な構成で実現できる。しかしながら、パッシブ駆動用の装置では、選択期間のみに負荷を駆動するため、大電流を流す必要がある。このため、パッシブ駆動用の装置では、瞬間的に、電流負荷206に大きな負担がかかり、電流負荷206を構成する素子の信頼性の面で問題が生じる場合がある。また、パッシブ駆動用の装置は、効率が低下するため、消費電力も大きい。

【 0 0 0 5 】

一方、アクティブ駆動用の装置は、マトリックス状に配置されている電流負荷セル201が、図14(b)に示すように、電流負荷206と、データ線202と走査線203に接続され、電流負荷206に供給する電流を記憶し、負荷を駆動するための電流負荷駆動回路207と、を備えて構成され、さらに、複数のデータ配線202、走査配線203で構成されている。

【 0 0 0 6 】

電流負荷セル201内の電流負荷駆動回路207は、トランジスタ等によって作成されており、その構成は、パッシブ駆動に比べ複雑になる。しかし、アクティブ駆動用の装置では、負荷の駆動は、1ラインを選択してから、全ライン終了後に、同じラインを選択するまでの長期間行われるため、負荷駆動電流が小電流

で良く、負荷の負担が小さい。また、アクティブ駆動用の装置は、効率が高いため、消費電力も小さい。このため、アクティブ駆動は、負荷の負担や消費電力の面で、パッシブ駆動に対し優位性を持つといえる。

【 0 0 0 7 】

アクティブ駆動用の電流負荷駆動回路 2 0 7 の構成として、電流負荷駆動回路に電圧を供給する半導体装置（図 1 3 の 2 3 0 が電圧ドライバ）により印加される電圧を記憶し、前記記憶した電圧に対応する電流により負荷を駆動する構成（「電圧書き込み構成」ともいう）と、電流負荷駆動回路 2 0 7 に電流を供給する半導体装置（図 1 3 の 2 3 0 が電流ドライバ）により電流が印加され、電流に対応する電圧を記憶し、前記電流に対応する電流により負荷を駆動する構成（「電流書き込み構成」という）がある。

【 0 0 0 8 】

例えば、有機 E L 表示装置の場合、各画素の有機 E L 素子に電流を記憶し、駆動する電流負荷駆動回路は、ポリシリコン薄膜トランジスタ（poly-Silicon Thin Film Transistor: 「p-Si T F T」とも略記される）で構成される場合が多い。なお、p-Si T F T（低温プロセス成膜法による）は、電界効果移動度が高いため周辺回路の一部を基板に集積化でき、高速、大電流のスイッチング制御を可能としている。

【 0 0 0 9 】

例えば特開平 5 - 1 0 7 5 6 1 号公報には（同公報図 7 参照）、図 1 5 に示すような、電圧書き込み構成が開示されている。1 画素表示部 2 1 0 は、電源線 2 0 4 に一端（アノード端子）が接続された発光素子 2 2 0 と、発光素子 2 2 0 の他端（カソード端子）にドレインが接続され、ソースが接地線 2 0 5 に接続されたポリシリコン製の n チャネル MOS F E T よりなる T F T（薄膜トランジスタ）2 1 1 と、T F T 2 1 1 のゲートと接地線 2 0 5 の間に接続された保持容量 2 1 2 と、T F T 2 1 1 のゲートとデータ線 2 0 2 の間に挿入されたスイッチ 2 1 3 とを備えている。スイッチ 2 1 3 の制御端子には制御線 K 2 0 3 が接続され、オン・オフが制御される。制御線 K 2 0 3 がアクティブとされ、スイッチ 2 1 3 がオンすると、データ線 2 0 2 の電圧により保持容量 2 1 2 が充電されるととも

に、TFT211のゲート電圧として印加され、TFT211がオンし、電源線204と発光素子220と接地線205の電流パスが導通し、発光素子220が発光する。発光素子220の輝度は、TFT211のゲート電圧に応じて可変させる。

【0010】

しかしながら、p-SiTFTでは、各トランジスタの電流能力のばらつきが大きく、電圧が同じでも、TFTごとに駆動電流が異なる可能性が高い。その場合、有機EL素子の輝度にばらつきが生じ、表示精度が低下する。

【0011】

この問題を解決するために、例えば特開平11-282419号公報には（同公報図1参照）、図16に示すような構成により、電流能力ばらつきが比較的小さい近接領域のTFTの電流能力ばらつきのみ影響し、高精度な表示が可能とした電流書き込み構成が提案されている。

【0012】

図16を参照すると、この回路は、図15のスイッチ213のTFT211のゲートと接続する側の端子とは別の端子を、ゲートとドレインが接続され（すなわちダイオード接続され）、ソースが接地線205に接続されたポリシリコン製のnチャネルMOSFETよりなるTFT215（電流変換素子）のゲートに接続し、TFT215のドレインをスイッチ214を介してデータ線202に接続する構成とし、スイッチ213、214の制御端子は制御線203に共通に接続されている。データ線に有機EL素子の発光輝度を駆動制御するための制御信号は可変自在な制御電流として供給され、TFT215は、スイッチ214を介して入力される電流を電圧に変換する。

【0013】

しかしながら、電流書き込み構成に用いられる電流ドライバは、各データ線に電流を供給する出力回路を必要とし、1ライン選択期間において、選択されたライン上にある前記電流負荷駆動回路に、それぞれデータ線を通して、同時に電流を供給するため、全データ線数に相当する個数分電流ドライバが必要とされており、コストが増大する、という問題点を有している。

【0014】

また、電流ドライバとマトリックス状にアクティブ駆動用電流負荷セルを持つ装置との接点も増加するため、信頼性や生産性が低下する、という問題もある。

【0015】

さらに、近時、有機EL表示装置等では、マトリックス状の有機EL素子や電流負荷駆動回路と共に、電圧ドライバ又は電流ドライバを、同一基板上に、p-Si TFTで作成し、部品点数の減少とコスト低下を行うことが検討されている。しかしながら、この場合、電流ドライバ部分の回路規模が大きくなると、装置全体としての回路規模・回路面積も増大するため、歩留まりや、信頼性、生産性が低下する。

【0016】

なお、特開2000-293245号公報には、LED、有機ELディスプレイパネルなどの発光素子を駆動する場合、複数の定電流ドライバを用いて多数の負荷を定電流ドライバIC間の出力電流のばらつきが小さい状態で駆動可能とした構成の定電流駆動回路が提案されている。

【0017】

【発明が解決しようとする課題】

上記したように、従来の装置及び駆動方法は、下記記載の問題点を有している。

【0018】

第1の問題点は、電流負荷と、アクティブ駆動電流書き込み構成を適用した電流負荷駆動回路をマトリックス状に備えた半導体装置において、電流ドライバのコストが増大し、生産性・信頼性の向上が難しくなる、ということである。

【0019】

その理由は、マトリックス状に電流負荷と、電流負荷駆動回路を備えた装置のデータ線数に相当する出力を必要とするため、電流ドライバが複数個必要となり、部品点数が増加するためである。

【0020】

第2の問題点は、電流負荷と、アクティブ駆動電流書き込み構成を適用した電

流負荷駆動回路をマトリックス状に備えた半導体装置において、電流ドライバを内蔵する場合、コストが増大し、生産性・信頼性の向上が難しくなる、ということである。

【 0 0 2 1 】

その理由は、マトリックス状に電流負荷と、電流負荷駆動回路を備えた装置の全てのデータ線に電流ドライバの電流供給出力を必要とするため、電流ドライバの回路規模が増加し、装置全体の回路規模・面積の増大し、このため、歩留まりも低下する可能性が増すためである。

【 0 0 2 2 】

したがって、本発明が解決しようとする課題は、アクティブ駆動電流書き込みを適用した場合の、電流負荷と、電流負荷駆動回路とを備える電流負荷セルがマトリックス状に配置された半導体装置において、電流負荷駆動回路の構成をほとんど変えることなく、電流ドライバの回路規模を減少することができる装置とその駆動方法を提供することである。

【 0 0 2 3 】

【課題を解決するための手段】

上記課題を解決する本発明の第 1 のアスペクトに係る半導体装置は、電流負荷と、電流負荷駆動回路と、を備える電流負荷セルが、マトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの 1 つの電流出力に対して、複数本のデータ線を 1 本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、前記電流負荷セル内の電流負荷駆動回路は、第 1 の電源にソースが接続され、ドレインが直接に、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を記憶して供給するトランジスタと、前記トランジスタのゲートと前記第 1 の電源又は他の電源との間に接続された容量と、前記トランジスタのゲートと、対応するデータ線との間に接続される、一つのスイッチ又は直列接続された複数のスイッチと、を備え、前記電流負荷駆動回路の前記トランジスタのゲートに接続される前記スイッチを制御する制御線を、少なくとも、前記半導体装置の 1 ラインにおいて、前記電流ドライバの 1 電流出力が選択できるデータ線の本数と同じ

数分備えている。

【 0 0 2 4 】

本発明の他のアスペクトに係る装置は、電流負荷と電流負荷駆動回路とを備える電流負荷セルがマトリックス状に配置され、アクティブ駆動電流書き込みを行う半導体装置において、データ線に電流を供給する電流ドライバの1つの電流出力に対して、複数本のデータ線を1本ずつ選択し、選択されたデータ線に前記電流出力を供給する手段を備え、前記電流負荷セル内の電流負荷駆動回路は、第1の電源にソースが接続され、ドレインが直接に、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を記憶して供給するトランジスタと、前記トランジスタのゲートと前記第1の電源又は他の電源との間の接続された容量と、前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、を備え、前記電流負荷駆動回路の前記トランジスタのゲートに一端が接続されるスイッチを制御する制御線を、前記半導体装置の1ラインにおいて、少なくとも、前記電流ドライバの1電流出力が選択できるデータ線の本数と同じ数分備え、前記電流負荷駆動回路の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する制御線を、前記半導体装置の各ラインごとに備えている。

【 0 0 2 5 】

本発明の半導体装置において、前記電流ドライバの1つの電流出力は、1ライン選択期間（1水平期間）中に複数のデータ線を1本ずつ順番に選択し、各データ線選択時に、選択されたライン上かつ選択されたデータ線上の前記電流負荷駆動回路に、前記電流負荷セル内の電流負荷を駆動する電流に対応する電流を供給する。

【 0 0 2 6 】

本発明の別のアスペクトに係る半導体装置の駆動方法は、データ線を電流駆動する電流ドライバの出力が、セレクトタに入力され、前記セレクトタでは、入力される出力セレクト信号に基づき前記セレクトタの出力に接続されている複数本のデータ線の1本ずつを選択し、前記選択されたデータ線に前記電流ドライバの出力が供給される構成とされており、電流負荷セル内の電流負荷駆動回路は、第1の電

源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、電流負荷への電流を供給するトランジスタと、前記トランジスタのゲートと前記第 1 の電源又は他の電源との間に接続された容量と、前記トランジスタのゲートと対応するデータ線との間に接続される、1 つのスイッチ又は直列接続された複数のスイッチと、を備え、前記電流負荷駆動回路内の前記スイッチを制御する制御線を、少なくとも、前記半導体装置の 1 ラインにおいて、前記電流ドライバの 1 出力が選択できるデータ線の本数と同じ数備え、前記電流負荷と前記電流負荷駆動回路とを備える電流負荷セルが、マトリックス状に配置されてなり、アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、1 ラインを選択した 1 水平期間において、前記出力セレクト信号に基づき、前記セクタにより前記複数本のデータ線のうちの 1 本のデータ線を選択した期間に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに、前記選択されたデータ線に前記電流ドライバから供給させる電流出力に対応する電流を流すように設定する第 1 のステップと、前記選択された 1 本のデータ線の選択期間が終了する前に、又は同時に、前記スイッチをオフする制御を行う第 2 のステップと、を有し、前記第 1 及び第 2 のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1 ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う。

【 0 0 2 7 】

本発明の別のアスペクトに係る半導体装置の駆動方法は、データ線に電流を供給する電流ドライバの電流出力を、複数本のデータ線を 1 本ずつ選択してそれぞれに供給する手段を備えており、前記電流負荷セル内の電流負荷駆動回路は、第 1 の電源にソースが接続され、ドレインが直接、又はスイッチを介して前記電流負荷に接続されており、前記電流負荷への電流を記憶して供給するトランジスタと、前記トランジスタのゲートと前記第 1 の電源又は他の電源との間の接続された容量と、前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、を備え、前記電流負荷駆動回路内の前記トランジスタ

のゲートに一端が接続されるスイッチを制御する制御線を、前記半導体装置の 1 ラインにおいて、少なくとも、前記電流ドライバの 1 出力が選択できるデータ線の本数と同じ数分備え、前記電流負荷駆動回路内の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する制御線を、前記半導体装置の各ラインごとに備え、前記電流負荷と前記電流負荷駆動回路とを備える電流負荷セルが、マトリックス状に配置されてなり、アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、1 ラインを選択した 1 水平期間において、前記ラインごとに備えられた制御線により、1 ラインに相当する前記電流負荷セル内の、前記電流負荷セルに対応データ線に一端が接続されるスイッチを 1 水平期間オン状態とする第 1 のステップと、前記出力セレクト信号に基づき、前記セクタにより前記複数本のデータ線のうちの 1 本のデータ線を選択した期間に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに、前記選択されたデータ線に前記電流ドライバから供給させる電流出力に対応する電流を流すように設定する第 2 のステップと、前記選択された 1 本のデータ線の選択期間が終了する前に、又は同時に、前記スイッチをオフする制御を行う第 3 のステップと、を有し、前記第 2 乃至第 3 のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1 ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う。

【 0 0 2 8 】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、アクティブ駆動電流書き込みを適用した場合の、電流負荷と、電流負荷駆動回路を備える電流負荷セルがマトリックス状に配置された半導体装置において、データ線に電流を供給する電流ドライバの各電流出力（図 1 の 1 0 1）は、セクタ（図 1 の 1 3 0 - 1、1 3 0 - 2 からなるセクタ）を介して、複数のデータ線のうちの 1 本ずつが選択され、電流負荷セル内の電流負荷駆動回路は、ソースが第 1 の電源（図 1 の 1 0 4）に接続され、ドレインが前記電流負荷（

図1の120)に、直接、又は、スイッチ(図7のスイッチSW3)を通して接続されている電流負荷(120)へ、セレクタを介して電流ドライバからデータ線に供給される出力電流に対応する電流を、電流負荷(120)に供給するトランジスタ(図1の111)と、一端がトランジスタ(111)のゲートに接続し、他の一端が第1の電源(104)に接続された容量(112)と、トランジスタ(111)のゲートと、対応するデータ線の間、一つ又は複数の直列に、接続されたスイッチ(図1の113、114)を備えており、スイッチ(113、114)を制御する制御線(103-1、103-2)を、少なくとも、半導体装置の1ラインにおいて、電流ドライバの1電流出力(101)がセレクタ(130-1、130-2)を介して選択できるデータ線の本数と同じ数分備えている。なお、容量(112)は、トランジスタ(111)のゲートと、他の電源、例えば第2の電源(105)あるいは別の電源との間に接続する構成としてもよい。

【0029】

本発明の半導体装置において、電流ドライバの1つの電流出力(101)は、セレクタ(130-1、130-2)に供給される出力セレクト信号により、1水平期間中に、複数のデータ線を1本ずつ順番に選択し、各データ線選択時に、選択されたライン上、かつ、選択されたデータ線上の電流負荷セルの電流負荷駆動回路に、当該電流負荷セル内の電流負荷を駆動する電流に対応する電流を供給する。

【0030】

かかる構成の本実施の形態において、電流ドライバの1出力は、複数のデータ線とそれに対応する電流負荷駆動回路を時分割で駆動する構成とされている。このため、必要な電流ドライバの出力数を削減することができる。従って、電流ドライバの個数を減らすことができ、コストの削減と、生産性・信頼性を高めることが可能になる。さらに、複数のデータ線が同一の電流ドライバ出力で駆動されるため、電流ドライバの出力間の電流ばらつきが全体として少なくなる、という利点もある。

【0031】

また本発明の実施の形態に係る半導体装置の駆動方法においては、1 水平期間において適当なデータ線が選択された場合、選択されたライン上かつ選択されたデータ線上の前記電流負荷駆動回路において、前記トランジスタのゲートを一端とする、1 つ又は直列接続した複数のスイッチは、対応する制御線によりオンし、前記トランジスタは、前記データ線と前記スイッチを通して供給される電流を記憶する。その後、前記データ線の選択が終了するのと同様又は終了するよりも早く、前記トランジスタのゲートを一端とする 1 つ、又は直列接続した複数のスイッチは、前記対応する制御線によりオフする。

【 0 0 3 2 】

引き続き、異なるデータ線が選択され、選択されたライン上かつ選択されたデータ線上の前記電流負荷駆動回路は、選択されたデータ線に対応し、先ほどとは異なる制御線により、前記トランジスタのゲートを一端とする、1 つ、又は直列接続した複数のスイッチを制御することで、前記のような動作を繰り返す。すべてのデータ線が選択された段階で 1 水平期間が終了する。一方、前記トランジスタは、記憶した電流に従い、前記電流負荷を駆動する。

【 0 0 3 3 】

上記のような 1 水平期間を、全ラインに対し繰り返すことで、前記電流負荷駆動回路は、各々、マトリックス状に配置された全電流負荷を駆動する。以上の動作を繰り返すことで、常に適当な電流により、全電流負荷を駆動することができる。

【 0 0 3 4 】

本発明の実施の形態に係る半導体装置においては、電流負荷セルの電流負荷駆動回路内のトランジスタ (1 1 1) のゲートに一端が接続されるスイッチ (SW 1) を制御する制御線を、半導体装置の 1 ラインにおいて、少なくとも、電流ドライバの 1 電流出力 (1 0 1) がセレクタ (1 3 0 - 1、1 3 0 - 2) で選択できるデータ線 (1 0 2 - 1、1 0 3 - 2) の本数と同じ数分備えるとともに、電流負荷駆動回路内の対応するデータ線に一端が接続されるスイッチ (SW 2) を制御する制御線を、ラインごとに備える構成としてもよい。すなわち、電流負荷駆動回路内の対応するデータ線に一端が接続されるスイッチ (SW 2) を制御す

る制御線を1ラインあたりの複数の電流負荷セルに対して共通とする構成としてもよい。

【0035】

本発明の実施の形態によれば、アクティブ駆動電流書き込みを適用した場合の、前記電流負荷と、電流負荷駆動回路を備える電流負荷セルがマトリックス状に配置された半導体装置において、内蔵された電流ドライバの1出力は、複数のデータ線とそれに対応する前記電流負荷駆動回路を時分割で駆動することができるため、必要な電流ドライバの出力数を削減することができる。これにより、回路規模、回路面積を少なくすることができるため、歩留まり、生産性、信頼性を高めること、コストを削減することが可能になる。さらに、複数のデータ線が同一の電流ドライバ出力で駆動されるため、電流ドライバの出力間の電流ばらつきが全体として少なくなる、という利点もある。

【0036】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。本発明の実施例の説明において、以下では、電流負荷として発光素子を用いた発光表示装置を例として説明する。電流負荷セルを画素、電流負荷駆動回路を発光素子駆動回路、とする。ただし、本発明は、発光素子に限定されるものでなく、任意の電流負荷を駆動する際にも適用できる。また、有機EL素子のような特定の電流負荷にも適用できる。

【0037】

図1は、本発明の第1の実施例の構成を示す図である。なお、図1に示す本実施例では、簡単のため、電流ドライバの1出力101は、セレクタにより、2つのデータ線102-1、102-2のうちのいずれかを選択できるようにしているが、例えば駆動時間を短縮できるような場合には、2つ以上のデータ線を選択できるようにしてもよい。また、図1には、2つの画素回路（画素1、画素2）、同一の電流ドライバの出力を分岐したデータ線102-1、102-2のみが示されているが、発光表示装置内には、図13に示したように、これらのセルがマトリックス状に配設されているものとする。

【 0 0 3 8 】

本実施例において、画素内の発光素子 1 2 0 を駆動する駆動回路は、第 1 の画素 1 1 0₁（「画素 1」ともいう）についてみると、ソースが電源 1 0 4 に接続され、ドレインが発光素子 1 2 0 の一端に接続されており、該発光素子 1 2 0 に電流を供給するための、ポリシリコン製の p チャンネル MOS FET よりなる第 1 の T F T（薄膜トランジスタ） 1 1 1（「T F T 1」ともいう）と、一端が第 1 の T F T 1 1 1 のゲートに接続され、他端が電源線 1 0 4 に接続されている容量 1 1 2 と、ソースが電源線 1 0 4 に接続され、ゲートとドレインが互いに接続されている（ダイオード接続されている）第 2 の T F T 1 1 5（「T F T 2」ともいう）のゲートと、第 1 の T F T 1 1 1 のゲートと容量 1 1 2 との接続点ノードとの間に接続されている第 1 のスイッチ 1 1 3（「S W 1」ともいう）と、第 2 の T F T 1 1 5 のドレインと、第 1 のデータ線 1 0 2 - 1（「データ線 1」ともいう）との間に挿入されている第 2 のスイッチ 1 1 4（「S W 2」ともいう）とを備えており、第 1 のスイッチ 1 1 3 の制御端子と第 2 のスイッチ 1 1 4 の制御端子は、制御信号 1 0 3 - 1（K A）に共通に接続されている。

【 0 0 3 9 】

第 2 の画素 1 1 0₂（「画素 2」ともいう）において、第 2 の T F T 1 1 5 のドレインが第 2 のスイッチ 1 1 4 を介して第 2 のデータ線 1 0 2 - 2（「データ線 2」ともいう）に接続されており、第 1 のスイッチ 1 1 3 の制御端子と、第 2 のスイッチ 1 1 4 の制御端子は、第 2 の制御信号 1 0 3 - 2（K B）に共通に接続されている。第 2 の画素 1 1 0₂は、接続先のデータ線と制御線が、第 1 の画素 1 1 0₁と相違するだけであり、その他構成は、第 1 の画素 1 1 0₁と同様とされる。なお、この実施例、及び以下に記載される実施例において、各画素内の容量 1 1 2 は、その一端を第 1 の T F T 1 1 1 のゲートに接続し、他の一端を、電源線 1 0 4 以外の他の電源、例えば接地線 1 0 5 あるいは別の任意の電源に接続する構成としてもよい。

【 0 0 4 0 】

電流ドライバ（図 1 3 の電流ドライバ 2 3 0 参照）の出力 1 0 1 は、第 1、第 2 の出力セレクト信号 1 0 6 - 1、1 0 6 - 2（「出力セレクト信号 1、2」と

もいう) が制御端子にそれぞれ入力され、オン・オフ制御される第1、第2のスイッチ130-1、130-2(「SEL1、SEL2」ともいう)を介して、第1、第2のデータ線102-1、102-2に接続されている。

【0041】

このように、各画素110₁、110₂は、発光素子120の駆動用のTFT111、容量112、第1の制御線103-1(KA)、第2の制御線103-2(KB)によって制御され、データ線と駆動用のTFT112のゲートとの間に設けられ、直列形態に接続されている第1、第2のスイッチ(SW1、SW2)とを基本構成(図1中、破線で示したブロック)としている。さらに、ソースが電源104に接続され、ゲートとドレインが短絡して第1、第2のスイッチ113、114の間に接続されている第2のTFT115を備え(第2のTFT115は第1のTFT111とカレントミラーを構成する)、電源線104、接地線105を備えている。また、1画素内の発光素子120は、一端が第1のTFT111のドレインに接続され、他端が接地線105に接続されている。

【0042】

本実施例においては、上記特開平11-282419と相違して、図1に示すように、画素内の第1、第2のスイッチ113、114を制御するために、2つの画素110₁、110₂が、それぞれ異なる2本の制御線KA、KBを備えており、電流ドライバの1つの出力が2つの画素のそれぞれに入力される第1、第2のデータ線102-1、102-2のいずれかを選択するかを決める第1、第2の出力セレクト信号106-1、106-2によって制御されるスイッチ130-1、130-2を備えている。なお、この実施例では、出力セレクト信号1、2に基づき電流ドライバ出力をデータ線1、又はデータ線2に分配するセレクタとして、二つのセレクタスイッチ130-1、130-2を備えた構成が示されているが、上記構成に限定されるものでなく、1入力複数出力のセレクタとしては任意の構成が適用できる。また、以下において、スイッチの制御端子に入力されオン・オフ制御のための制御信号がhighレベルのときスイッチはオンであり、lowレベルの場合、スイッチはオフであるものとする。

【0043】

図2は、本発明の第1の実施例の動作を説明するためのタイミングチャートである。図2の制御線KA、KBは、図1の103-1、103-2、図2の出力セレクト信号1、2は、図1の106-1、106-2に対応する。1水平期間の前半の駆動期間1において、制御線KAがアクティブ状態、1水平期間の後半の駆動期間2において、制御線KBがアクティブ状態とされる。出力セレクト信号1は、1水平期間の前半でアクティブ状態、後半でインアクティブ状態、出力セレクト信号2は、1水平期間の前半でインアクティブ状態、後半でアクティブ状態とされる。

【0044】

マトリックス状の画素の内、1ライン分の画素に電流を供給し、記憶させる期間を1水平期間とする。図3に、1水平期間内の駆動期間1（図2参照）における画素1を示す。図3は、駆動期間1（図2参照）における、図1の第1の画素110₁の回路動作を説明するための図である。なお、図3において、図1の要素との対応は明らかであるため、発光素子120、容量112以外、参照番号は付していない。

【0045】

図2の駆動期間1において、制御線KA、出力セレクト信号1がH (high) レベル)、制御線KB、出力セレクト信号2がL (low) レベルとなり、画素1のSW1、SW2と、SEL1がオンし、画素2のSW1、SW2とSEL2がオフとなる。従って、電流ドライバ出力より、画素1のTFT1によって画素1の発光素子に供給したい電流に対応する電流I_{d1}が、画素1のデータ線1と画素1のSW1を通して、画素1のゲート・ドレイン間が短絡し飽和領域で動作する第2の薄膜トランジスタTFT2に供給される。

【0046】

画素1のTFT2の動作が安定した時点において、画素1のTFT2のゲート・ドレイン電圧は、画素1のTFT2に電流I_{d1}が流れるような電圧となる。この電圧は、画素1のSW2を通して容量112に蓄積され、画素1のTFT1のゲートに印加される。この時、画素1のTFT1のゲート・ソース間電圧V_{gs1}が決まり、画素1のTFT1の持つ電圧-電流特性に従った電流I_{drv1}が、画素

1の発光素子120に供給され、画素1の発光素子120は、その電流によって決まる輝度で発光する。

【0047】

駆動期間1が終了する時点において、制御線KAがLレベル、画素1のSW1、SW2のみオフとなり、他の制御線は、駆動期間1の状態と同じとする。ただし、出力セレクト信号1は、制御線KAと同時にLレベルとなっても良い。この時、画素1のスイッチSW1と同時にセクタSEL1もオフとなる。

【0048】

1水平期間の駆動期間2において、制御線KA、出力セレクト信号1がLレベル、制御線KB、出力セレクト信号2がHレベルとなり、画素1のSW1、SW2とSEL1がオフ、画素2のSW1、SW2と、SEL2がオフとなる。従って、駆動期間1の画素2では、駆動期間1の画素1における動作と同様に、電流ドライバ出力より、画素2のTFT1によって画素2の発光素子120に供給したい電流に対応する電流 I_d2 が、画素2のデータ線と画素2のSW1を通して、画素2のゲート・ドレイン間が短絡し、飽和領域で動作するTFT2に供給される。画素2のTFT2の動作が安定した時点において、画素2のTFT2のゲート・ドレイン電圧は、画素2のTFT2に電流 I_d2 が流れるような電圧となる。この電圧は、画素2のSW2を通して容量112に蓄積され、画素2のTFT1のゲートに印加される。この時、画素2のTFT1のゲート・ソース間電圧が決まり、画素2のTFT1の持つ電圧-電流特性に従った電流が、画素2の発光素子に供給され、画素2の発光素子は、その電流によって決まる輝度にて発光する。

【0049】

図4は、図2の駆動期間2における画素1を説明するための図である。駆動期間2において、画素1のSW1、SW2は、オフである。この時、画素1のTFT2は、ゲート・ドレイン間がショートされているため、TFT2のゲート電圧は、TFT2のほぼしきい値電圧になるまで、ドレイン・ソース間に電流が流れる。一方、画素1のTFT1のゲート電圧は、画素1のSW2がオフであるため、駆動期間1において決定した電圧 V_{gs1} を保持し続ける。

【 0 0 5 0 】

駆動期間 2 が終了する時点において、駆動期間 1 と同様に、制御線 K B が L レベル、画素 2 の S W 1、S W 2 のみ変動してオフとなり、他の制御線は、駆動期間 2 と同じ状態とする。ただし、出力セレクト信号 2 は、制御線 K B と同時に L レベルとなっても良い。この時、画素 2 の S W 1 と同時に S E L 2 もオフとなる。

【 0 0 5 1 】

以上の動作を 1 水平期間とする。このような 1 水平期間を全ラインおこなうことで、1 画面分に相当する 1 フレームの駆動が完了する。本実施例の発光表示装置は、本 1 フレームを繰り返す行うことで駆動される。

【 0 0 5 2 】

上記したごとく、本実施例は、電流ドライバの 1 つの出力が、画素 1 と画素 2 のデータ線を選択・駆動できるように構成されており、さらに画素 1 と画素 2 は、異なる制御線によって制御するように構成されている。かかる構成により、駆動期間 2 における画素 1 の T F T 1 のゲート電圧の変動の影響を受けることなく、画素 1 の T F T 2 は、画素 1 の発光素子 1 2 0 に、駆動期間 1 に設定された電流 I d r v 1 を供給し続けることができ、画素 1 の発光素子の輝度が変わらず、表示品位を保つことができる。

【 0 0 5 3 】

図 5 は、本発明の比較例を示す図であり、図 1 に示す構成において、画素 1、2 のそれぞれのスイッチ S W 1、S W 2 の制御端子に共通の制御線を接続する構成としている。比較例においては、本実施例と異なり、一本の制御線 1 0 3 により画素 1、2 のスイッチ 1 1 3、1 1 4 のオン、オフを制御するものであり、その動作は、図 6 に示したタイミングチャートのようなものとなる。駆動期間 2 において、画素 1 の S W 1、S W 2、特に S W 2 がオンであるため、駆動期間 2 における画素 1 の T F T 2 のゲート電圧の変動が、画素 1 の T F T 1 のゲート電圧に反映し、画素 1 の発光素子に駆動期間 1 において設定した電流を流すことができなくなる。そのため、画素 1 の発光素子の輝度が変わってしまい、表示品位が低下するという問題が現れる。

【 0 0 5 4 】

本実施例の基本構成及び動作は、上記特開平 1 1 - 2 8 2 4 1 9 号公報とは、異なる発光素子駆動回路にも適用することができる。例えば、特願平 2 0 0 1 - 2 5 9 0 0 0 号（本願出願時未公開）に添付した図面の図 3 1 の発光素子駆動回路においても、図 7 に示すように、本実施例の基本構成（第 1 の T F T 1 1 1、容量 1 1 2、第 1、第 2 のスイッチ 1 1 3、1 1 4）を含み、電流ドライバの出力が画素 1 と画素 2 いずれかのデータ線を選択できるような構成としてもよい。図 7 を参照すると、第 1 の T F T 1 1 1（T F T 1）のドレインと、発光素子 1 2 0 の一端（アノード端子）との間に第 3 のスイッチ 1 1 6（S W 3）を備え、発光素子 1 2 0 の一端（アノード端子）と接地線 1 0 5 との間に第 4 のスイッチ 1 1 7（S W 4）を備え、第 3 のスイッチ 1 1 6、第 4 のスイッチ 1 1 7 の制御端子は、第 3 の制御線 1 0 3 - 3（K C）と、第 4 の制御線 1 0 3 - 4（K D）にそれぞれ接続されている。

【 0 0 5 5 】

図 8 は、図 7 に示した実施例の動作の一例を示すタイミングチャートである。制御線 K C が H レベルのとき、スイッチ S W 3 はオンし、発光素子 1 2 0 が、T F T 1 1 1 の出力電流（ドレイン電流）により駆動されて発光し、制御線 K D が H レベルのときスイッチ S W 4 がオンし、発光素子 1 2 0 の一端は、接地される。より詳細には、図 8 を参照すると、1 水平期間の駆動期間 1 において、出力セレクト信号 1 が H レベルとなり、制御信号 K A が H レベルとされ、画素 1 のスイッチ S W 1、S W 2 がオンする。この間、画素 1 のスイッチ S W 3、S W 4 はオフ状態とされ、T F T 1 のドレインと発光素子 1 2 0 とは非導通状態とされている。画素 1 のスイッチ S W 1、S W 2 がオンすると、画素 1 の容量 1 1 2 の一端は、オン状態のスイッチ S W 1、S W 2 を介してデータ線 1 に接続され、容量 1 1 2 の端子電圧（T F T 1 のゲート電圧）は、電流ドライバ出力 1 0 1 の電流値に応じた電圧に設定される。つづく駆動期間 2 において、出力セレクト信号 2 が H レベルとなり（出力セレクト信号 1 は L レベル）、制御信号 K B が H レベルであり（制御信号 K A は L レベル）、画素 2 のスイッチ S W 1、S W 2 がオンする（画素 1 のスイッチ S W 1、S W 2 はオフする）。この間、画素 2 のスイッチ S

W3、SW4はオフ状態とされ、画素2のTFT1のドレインと発光素子120とは非導通状態とされている。画素2のスイッチSW1、SW2がオンすると、画素2の容量112の一端は、オン状態のスイッチSW1、SW2を介してデータ線2に接続され、容量112の端子電圧（TFT1のゲート電圧）は、電流ドライバ出力101の電流値に応じた電圧に設定される。つづいて、出力セレクト信号2はLレベルとされ（制御信号KA、KBはLレベルとされる）、画素1、画素2に共通の制御信号KCがHレベルとされ、スイッチSW3がオンし、画素1、画素2のそれぞれのTFT1のドレインが、オン状態のスイッチ3を介して発光素子120に接続され、発光素子120にTFT1のドレイン電流（TFT1のドレイン電流値は容量112の端子電圧に依存する）が供給される。画素1、2のTFT1のゲート・ソース間電圧に従ったドレイン電流が、画素1、2の発光素子120に供給され、画素1、2の発光素子120は、その電流によって決まる輝度で発光する。つづいて、制御信号KCがLレベルとされ、制御信号KDがHとされ、発光素子120の一端が接地線に接続され、発光素子120の発光が停止される。発光素子120の一端を接地線に接続する期間は、図8に示した例に限定されるものでなく、予め設定されて所望に期間に行ってもよい。

【0056】

本実施例によると、画素の規模がほぼ従来と同等であるが、電流ドライバの出力数は、発光表示装置内の全データ線数の1/2となり、必要な電流ドライバの数は、従来の半分となる。これに伴い、コスト、部品点数が減少し、さらに、前記電流ドライバと発光表示装置との接点も減少するため、信頼性、生産性も高くすることが可能となる。

【0057】

次に本発明の第2の実施例について説明する。図9は、本発明の第2の実施例の構成を示す図である。図9を参照すると、第1の画素110₁（画素1）は、ソースが電源線104に接続され、ドレインが発光素子120に接続されており、発光素子120に電流を供給するための、ポリシリコン製のpチャネルMOSFETよりなる第1のTFT111（TFT1）と、一端が第1のTFT111のゲートに接続され、他端が電源線104に接続されている容量112と、ソース

が電源線 1 0 4 に接続されゲートとドレインが接続されている第 2 の T F T 1 1 5 (T F T 2) のゲートと、第 1 の T F T 1 1 1 と容量 1 1 2 の接続点ノードとの間に接続されている第 1 のスイッチ 1 1 3 (S W 1) と、第 2 の T F T 1 1 5 のドレインと第 1 のデータ線 1 0 2 - 1 (データ線 1) の間に挿入されている第 2 のスイッチ 1 1 4 (S W 2) とを備えており、第 1 のスイッチ 1 1 3 の制御端子は制御信号 1 0 3 - 1 (K A) に接続され、第 2 のスイッチ 1 1 4 の制御端子は制御信号 1 0 3 (制御信号 K) に接続されている。

【 0 0 5 8 】

第 2 の画素 1 1 0 ₂ (画素 2) は、第 2 の T F T 1 1 5 のドレインが第 2 のスイッチ 1 1 4 を介して第 2 のデータ線 1 0 2 - 2 (データ線 2) に接続され、第 1 のスイッチ 1 1 3 の制御端子は制御信号 1 0 3 - 2 (K B) に接続され、第 2 のスイッチ 1 1 4 の制御端子は制御信号 1 0 3 (K) に接続されている。

【 0 0 5 9 】

本実施例は、図 9 に示すように、画素内の第 1 のスイッチ S W 1 を制御するために、2 つの画素で異なる 2 本の制御線 K A、K B と、同じライン上の駆動回路内の第 2 のスイッチ S W 2 を同時に制御する制御線 K とを備え、電流ドライバの 1 つの出力が 2 つの画素それぞれに inputs データ線 1、2 のいずれかを選択するかを決める第出力セレクト信号 1、2 によって制御されるスイッチ 1 3 0 - 1、1 3 0 - 2 (S E L 1、S E L 2) を備える。

【 0 0 6 0 】

図 1 0 は、本実施例のタイミングチャートである。マトリックス状の画素のうち、1 ライン分の画素に電流を供給し、記憶させる期間で、ライン上の前記発光素子駆動回路の全ての前記 S W 2 がオンしている期間を 1 水平期間とする。

【 0 0 6 1 】

駆動期間 1 において、制御線 K、制御線 K A、出力セレクト信号 1 が H レベル、制御線 K B、出力セレクト信号 2 が L レベルとなり、画素 1 の S W 1、S W 2、S E L 1 と、画素 2 の S W 2 がオン、画素 2 の S W 1 と S E L 2 がオフとなる。従って、電流ドライバ出力より、画素 1 の T F T 1 によって画素 1 の発光素子に供給したい電流に対応する電流 I d 1 が、画素 1 のデータ線と画素 1 の S W 1

を通して、画素1のゲート・ドレイン間が短絡し、飽和領域で動作するTFT2に供給される。画素1のTFT2の動作が安定した時点において、画素1のTFT2のゲート・ドレイン電圧は、画素1のTFT2に電流 I_{d1} が流れるような電圧となる。この電圧は、画素1のSW2を通して、容量に蓄積され、画素1のTFT1のゲートに印加される。この時、画素1のTFT1のゲート・ソース間電圧が決まり、画素1のTFT1の持つ電圧－電流特性に従った電流が、画素1の発光素子に供給され、画素1の発光素子120は、その電流によって決まる輝度にて発光する。

【0062】

駆動期間1が終了する時点において、制御線KAがLレベル、画素1のSW1のみオフとなり、他の制御線は、駆動期間1の状態と同じとする。ただし、出力セレクト信号1は、制御線KAと同時にLレベルとなっても良い。この時、画素1のSW1と同時にSEL1もオフとなる。

【0063】

駆動期間2において、制御線KA、出力セレクト信号1がLレベル、制御線K、制御線KB、出力セレクト信号2がHレベルとなり、画素1のSW1とSEL1がオフ、画素1のSW2、画素2のSW1、SW2とSEL2がオフとなる。従って、駆動期間2の画素2では、駆動期間1の画素1における動作と同様に、電流ドライバ出力より、画素2のTFT1によって画素2の発光素子120に供給すべき電流に対応する電流 I_{d2} が、画素2のデータ線と画素2のSW1を通して、画素2のゲート・ドレイン間が短絡し、飽和領域で動作するTFT2に供給される。画素2のTFT2の動作が安定した時点において、画素2のTFT2のゲート・ドレイン電圧は、画素2のTFT2に電流 I_{d2} が流れるような電圧となる。この電圧は、画素2のSW2を通して、容量に蓄積され、画素2のTFT1のゲートに印加される。この時、画素2のTFT1のゲート・ソース間電圧が決まり、画素2のTFT1の持つ電圧－電流特性に従った電流が、画素2の発光素子に供給され、画素2の発光素子は、その電流によって決まる輝度で発光する。

【0064】

駆動期間 2 において、画素 1 の SW 1 は、オフである。この時、前記第 1 の実施例と同様に、画素 1 の TFT 2 は、ゲート・ドレイン間がショートされているため、TFT 2 のゲート電圧は、ほぼ TFT 2 のしきい値電圧になるまで、ドレイン・ソース間に電流が流れる。一方、画素 1 の TFT 1 のゲート電圧は、画素 1 の SW 2 がオフであるため、駆動期間 1 において決定された電圧を保持し続ける。

【 0 0 6 5 】

駆動期間 2 が終了する時点において、駆動期間 1 と同様に、制御線 KB が L レベル、画素 2 の SW 1 のみ変動してオフとなり、他の制御線は、駆動期間 2 と同じ状態とする。ただし、出力セレクト信号 2 は、制御線 KB と同時に L レベルとなっても良い。この時、画素 2 の SW 1 と同時に SEL 2 もオフとなる。

【 0 0 6 6 】

以上の動作を 1 水平期間とする。このような 1 水平期間を全ラインおこなうことで、1 画面分に相当する 1 フレームの駆動が完了する。本実施例の発光表示装置は、本 1 フレームを繰り返し行うことで駆動される。

【 0 0 6 7 】

本実施例においては、前記第 1 の実施例と同様に、電流ドライバの 1 つの出力が、画素 1 と画素 2 のデータ線を選択・駆動できるようにし、画素 1 と画素 2 は、異なる制御線によって制御している。これにより、駆動期間 2 における画素 1 の TFT 1 のゲート電圧の変動の影響を受けることなく、画素 1 の TFT 2 は、画素 1 の発光素子に、駆動期間 1 に設定された電流を供給し続けることができ、画素 1 の発光素子の輝度が変わらず、表示品位を保つことができる。

【 0 0 6 8 】

さらに、本実施例では、前記第 1 の実施例と相違して、1 ライン共通の制御線を 1 種類増やし、SW 2 が駆動期間 1、2 の終了時に常にオンとしたため、画素 1、画素 2 の SW 1 がオフする瞬間に SW 2 がオフする際に発生するノイズの影響を受けない。このため、前記実施例 1 よりも、安定な動作が可能である。

【 0 0 6 9 】

また、本実施例の基本構成・動作は、例えば、特願平 2 0 0 1 - 2 5 9 0 0 0

号（図 3 1）の発光素子駆動回路においても、図 1 1 に示すように、本実施例の基本構成（破線で囲む）を含み、電流ドライバの出力 1 0 1 が画素 1 と画素 2 いずれかのデータ線を選択できるような構成に変更している。図 1 1 を参照すると、図 9 の構成に加え、画素 1、2 は、第 1 の T F T 1 1 1（T F T 1）のドレインと、発光素子 1 2 0 のアノードとの間に第 3 のスイッチ 1 1 6（S W 3）を備え、発光素子 1 2 0 のアノードと接地線 1 0 5 との間に第 4 のスイッチ 1 1 7（S W 4）を備え、第 3 のスイッチ 1 1 6、第 4 のスイッチ 1 1 7 の制御端子は、第 3 の制御線 1 0 3 - 3（K C）と、第 4 の制御線 1 0 3 - 4（K D）にそれぞれ接続されている。図 1 2 は、図 1 1 の装置の動作を説明するタイミングチャートである。制御線 K C が H のときスイッチ S W 3 はオンし、発光素子 1 2 0 が T F T 1 1 1 により駆動され、制御線 K D が H のとき S W 4 はオンし、発光素子 1 2 0 のアノードは接地される。制御信号 K C、K D によるスイッチ S W 3、S W 4 のオン、オフ制御は、図 8 に示した例と同様とされる。

【 0 0 7 0 】

本実施例も、前記実施例 1 と同様に、画素の規模がほぼ従来と同等であるが、電流ドライバの出力数は、発光表示装置内の全データ線数の 1 / 2 となり、必要な電流ドライバの数は、従来の半分となる。それに伴い、コスト、部品点数が減少し、さらに、電流ドライバと発光表示装置との接点も減少するため、信頼性、生産性も高くすることが可能となる。

【 0 0 7 1 】

上記実施例に示した構成は、電流ドライバを発光表示装置と同じ基板上に作成した場合でも、同様な構成・動作を行うことが可能である。この場合、内蔵された電流ドライバの出力数は、本発明の構成をとらない場合の半分とすることができ、回路規模・面積を削減できる。このため、製品歩留まりの向上、コスト低減、信頼性、生産性の向上を可能としている。なお、上記実施例において、T F T 1、T F T 2 を p M O S トランジスタで構成したが、これを n M O S トランジスタで構成してもよいことは勿論である。この場合、n M O S トランジスタ T F T 1（T F T 2）のソースが接地線に接続され、ドレインが直接又はスイッチ S W 3 を介して発光端子 1 2 0 の一端（例えばカソード端子）に接続され、発光端子

120の他端（例えばアノード端子）が電源線に接続される構成とされる。以上、本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で、当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0072】

【発明の効果】

以上説明したように、本発明によれば、電流負荷と電流負荷駆動回路を有する電流負荷セルをマトリックス状に備える半導体装置において、電流ドライバの1出力により、複数のデータ線を駆動する構成としたことにより、必要な電流ドライバの出力数を減らすことを可能としており、電流ドライバの数を減らすことができ、低コスト化を可能としている。

【0073】

さらに、本発明によれば、電流ドライバの出力数が減るため、装置との接続点を減らすことができるため、信頼性や生産性を高めることもできる。

【0074】

また、本発明によれば、電流ドライバを内蔵した電流負荷と負荷駆動回路をマトリックス状に備える半導体装置において、電流ドライバの1出力により複数のデータ線を駆動することができるため、必要な電流ドライバの出力数を減らすことができる。

【0075】

そして、本発明によれば、内蔵された電流ドライバの回路規模が減少するため、歩留まりが上昇し、回路面積が減少するため、低コスト化を可能としている。

【図面の簡単な説明】

【図1】

本発明の第1の実施例の構成を示す図である。

【図2】

本発明の第1の実施例のタイミング動作を示す図である。

【図3】

本発明の第1の実施例の駆動期間1における動作状態を示す図である。

【図 4】

本発明の第 1 の実施例の駆動期間 2 における動作状態を示す図である。

【図 5】

比較例の構成を示す図である。

【図 6】

比較例の動作を示すタイミングチャートである。

【図 7】

本発明の第 1 の実施例の変形例を示す図である。

【図 8】

本発明の第 1 の実施例の変形例のタイミングチャートを示す図である。

【図 9】

本発明の第 2 の実施例の構成を示す図である。

【図 1 0】

本発明の第 2 の実施例の動作を示すタイミングチャートである。

【図 1 1】

本発明の第 2 の実施例の変形例を示す図である。

【図 1 2】

本発明の第 2 の実施例の変形例のタイミングチャートを示す図である。

【図 1 3】

電流負荷セルをマトリックス状に配置した半導体装置を示す図である。

【図 1 4】

電流負荷セル構成を示す図であり、（a）はパッシブ駆動、（b）はアクティブ駆動を示す。

【図 1 5】

アクティブ駆動電圧書き込み画素回路の従来回路構成を示す図である。

【図 1 6】

アクティブ駆動電流書き込み画素回路の従来回路構成を示す図である。

【符号の説明】

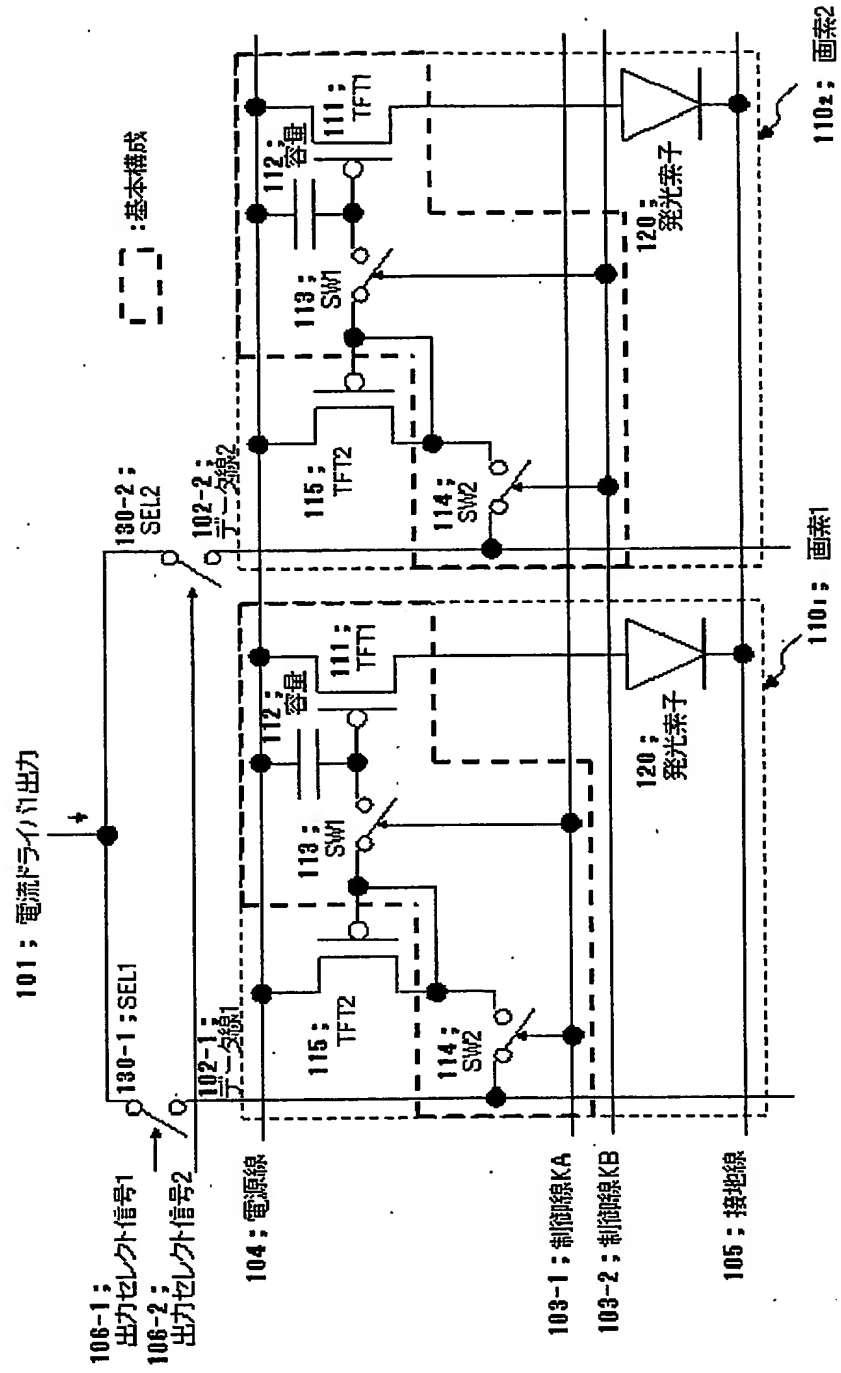
1 0 1 電流ドライバ出力

- 1 0 2 - 1 第 1 のデータ線 (データ線 1)
- 1 0 2 - 2 第 2 のデータ線 (データ線 2)
- 1 0 3 制御線 K
- 1 0 3 - 1 第 1 の制御線 K A
- 1 0 3 - 2 第 2 の制御線 K B
- 1 0 4 電源線
- 1 0 5 接地線
- 1 0 6 - 1 第 1 の出力セレクト信号 (出力セレクト信号 1)
- 1 0 6 - 2 第 2 の出力セレクト信号 (出力セレクト信 2)
- 1 1 0 ₁ 第 1 の画素 (画素 1)
- 1 1 0 ₂ 第 2 の画素 (画素 2)
- 1 1 1 第 1 の T F T (T F T 1)
- 1 1 2 容量
- 1 1 3 第 1 のスイッチ (S W 1)
- 1 1 4 第 2 のスイッチ (S W 2)
- 1 1 5 第 2 の T F T (T F T 2)
- 1 1 6 第 3 のスイッチ (S W 3)
- 1 1 7 第 4 のスイッチ (S W 4)
- 1 2 0 発光素子
- 1 3 0 - 1 第 1 のセクタスイッチ (S E L 1)
- 1 3 0 - 2 第 2 のセクタスイッチ (S E L 2)
- 2 0 0 半導体装置
- 2 0 1 電流負荷セル
- 2 0 2 データ配線
- 2 0 3 走査配線
- 2 0 4 電源線
- 2 0 5 接地線
- 2 0 6 電流負荷
- 2 0 7 電流負荷駆動回路

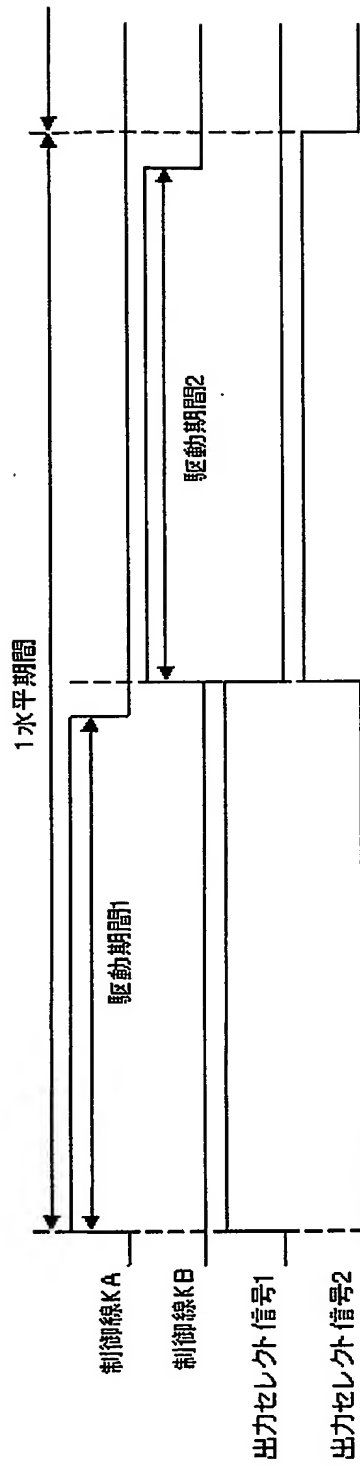
- 2 1 0 画素部
- 2 1 1 第 1 の T F T (T F T 1)
- 2 1 2 容量
- 2 1 3 第 1 の スイッチ (S W 1)
- 2 1 4 第 2 の スイッチ (S W 2)
- 2 2 0 発光素子
- 2 3 0 電圧ドライバ (電流ドライバ)
- 2 4 0 走査回路

【書類名】 図面

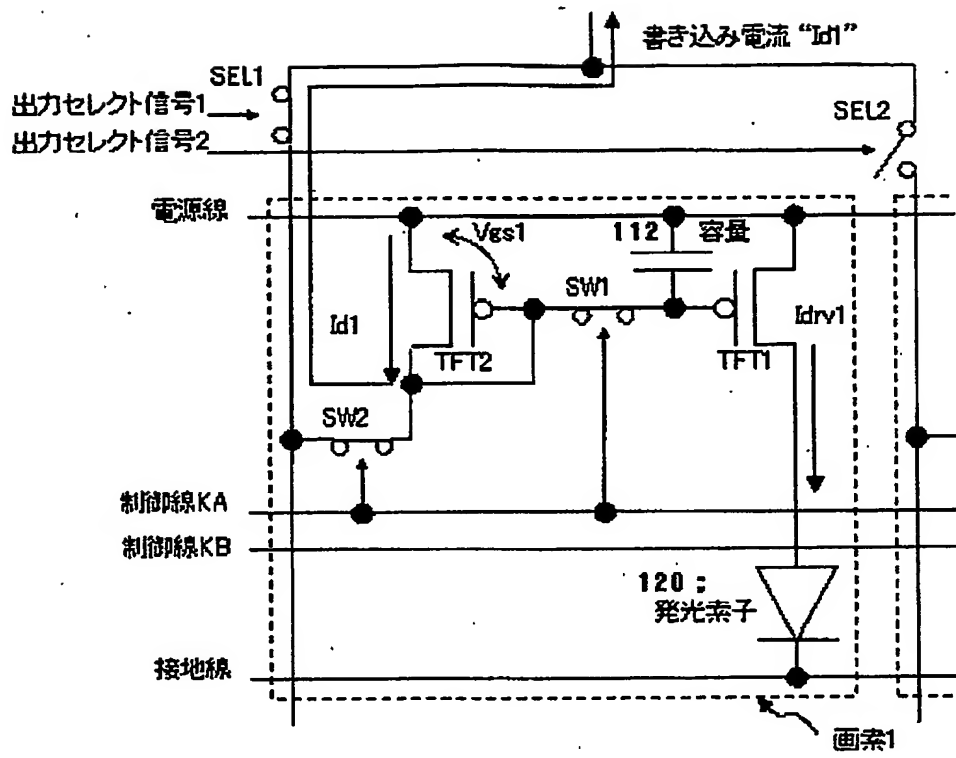
【図 1】



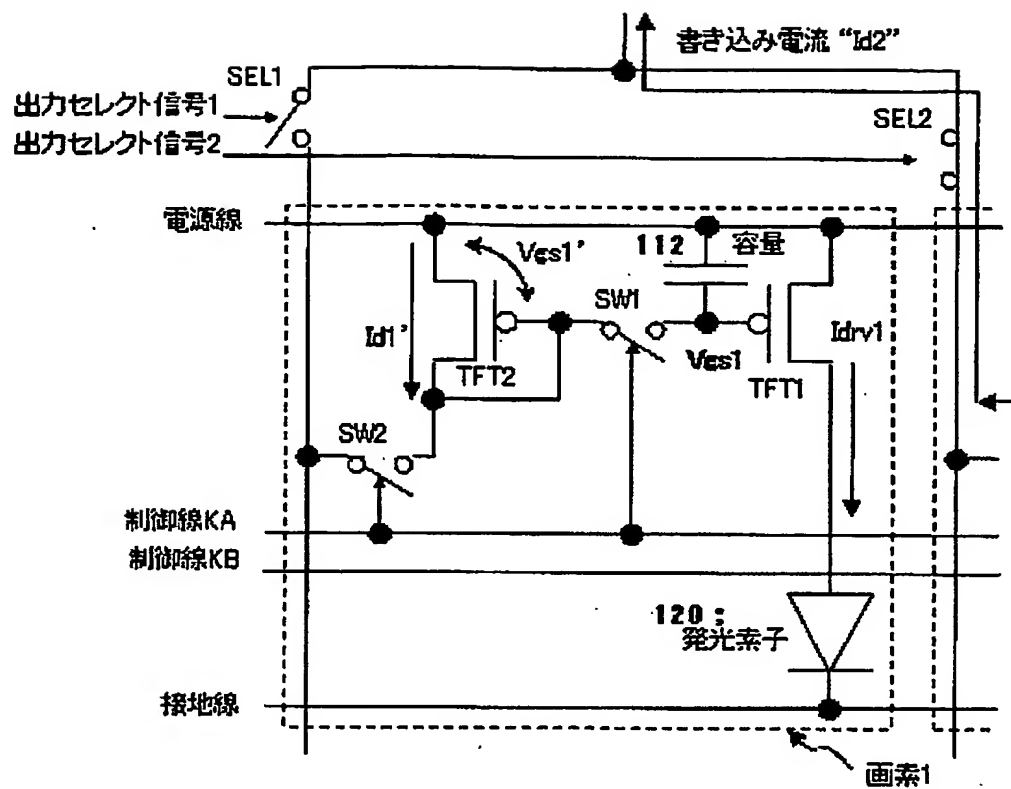
【図 2】



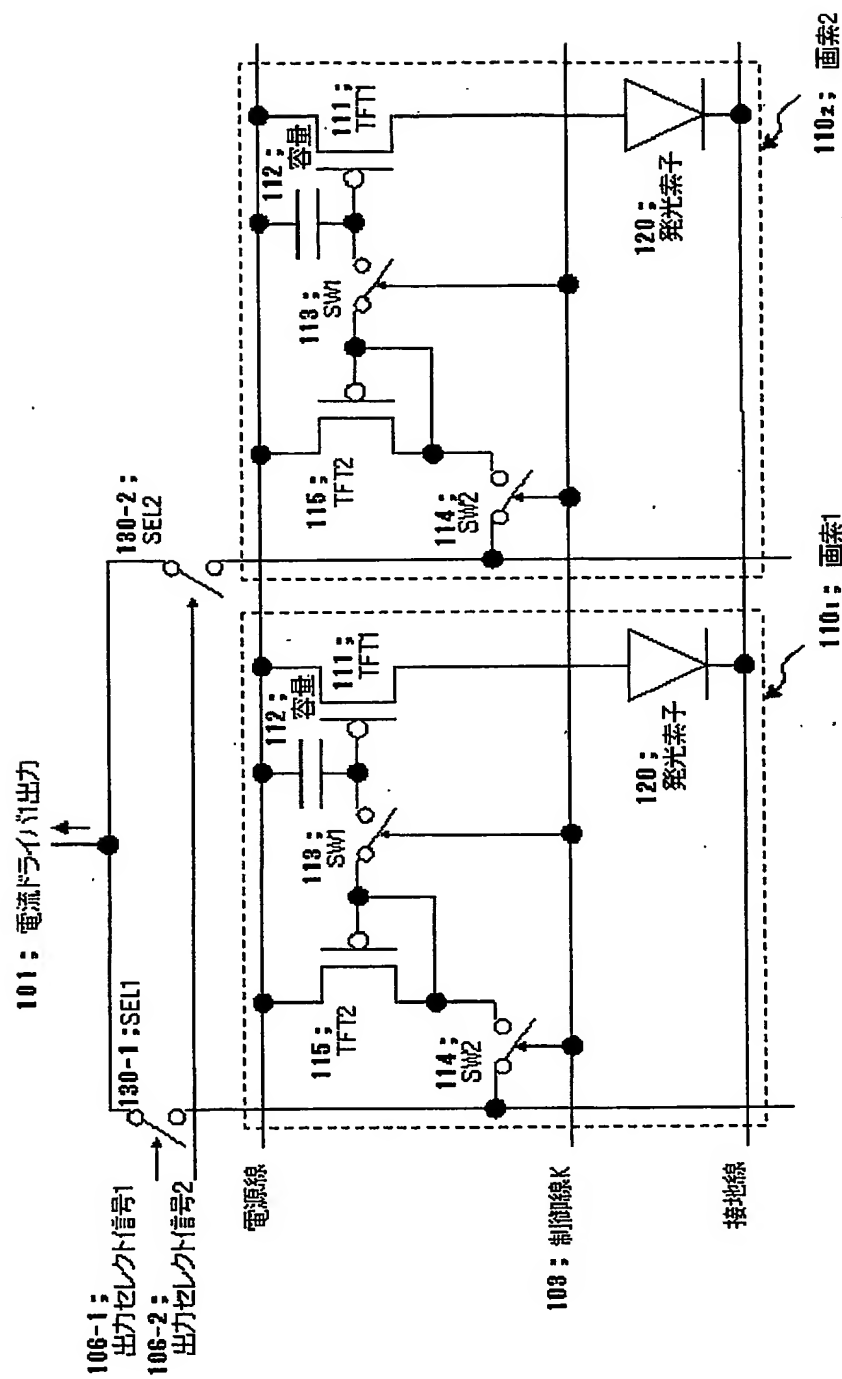
【図 3】



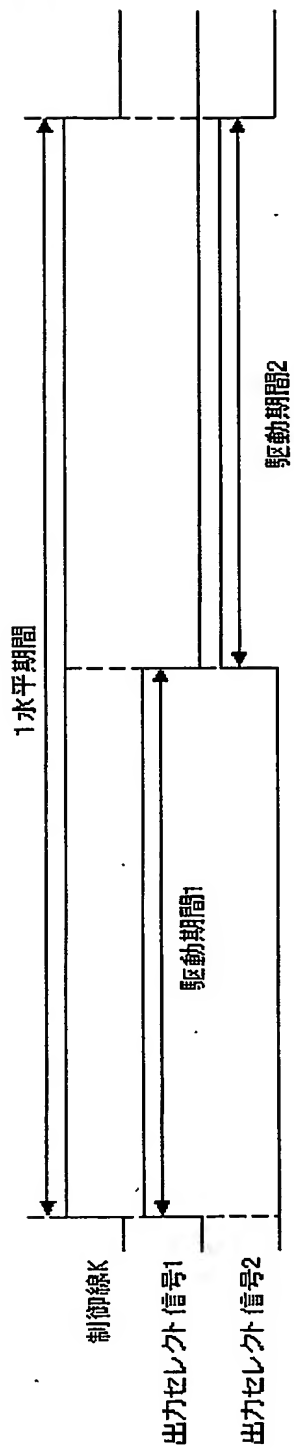
【図4】



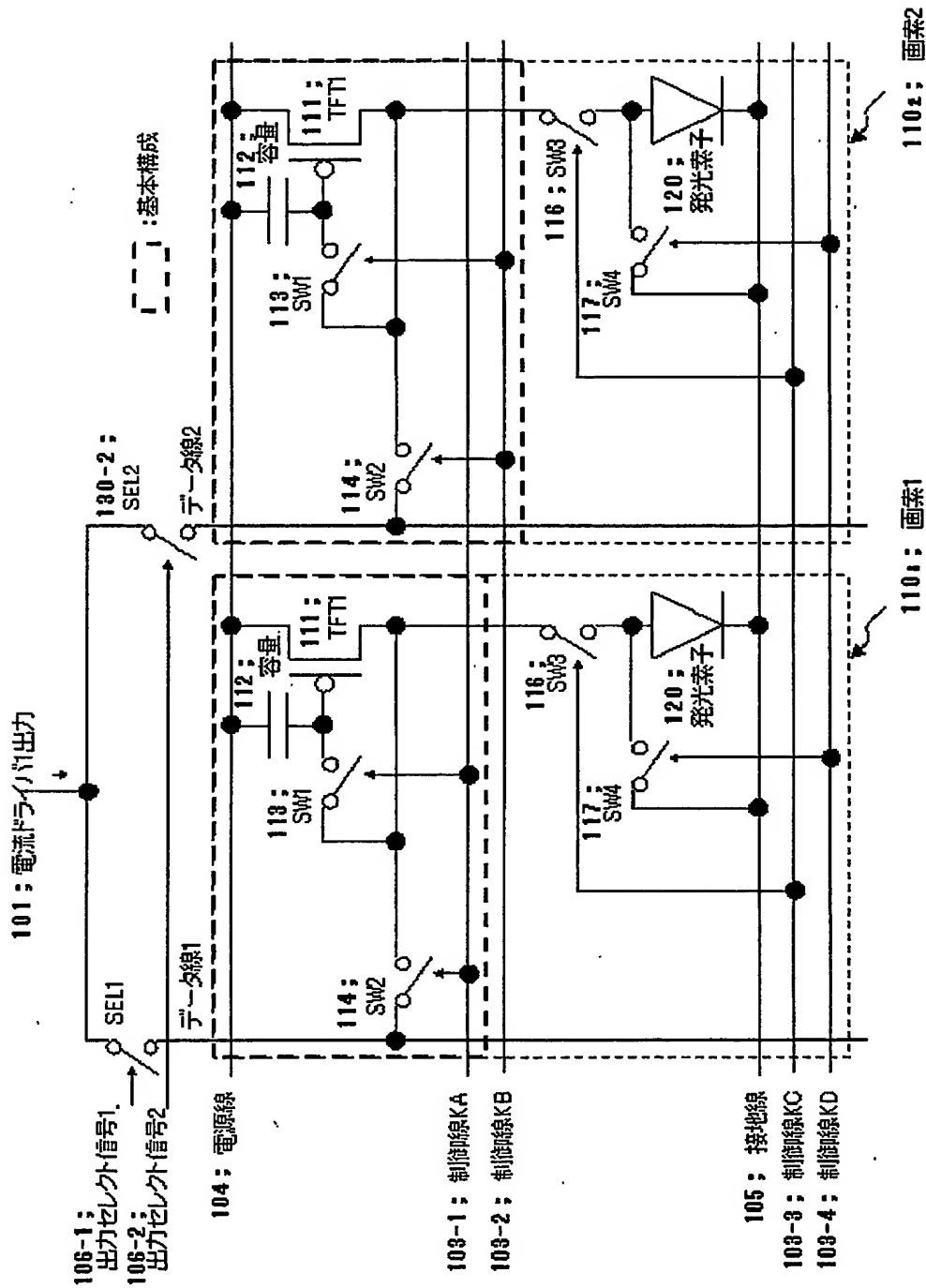
【図 5】



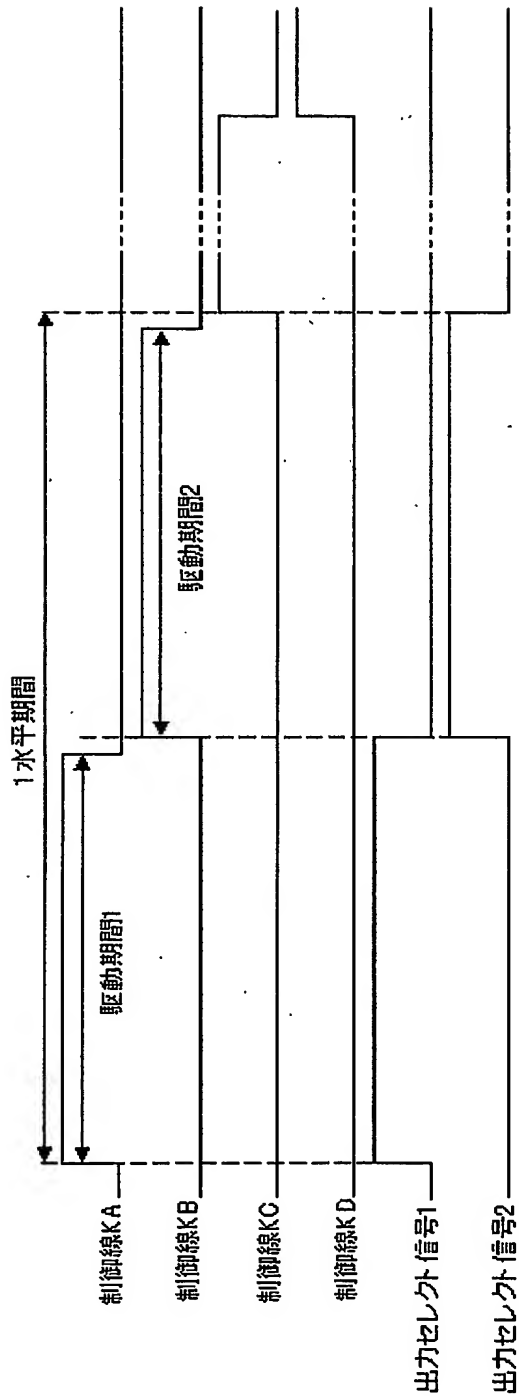
【図 6】



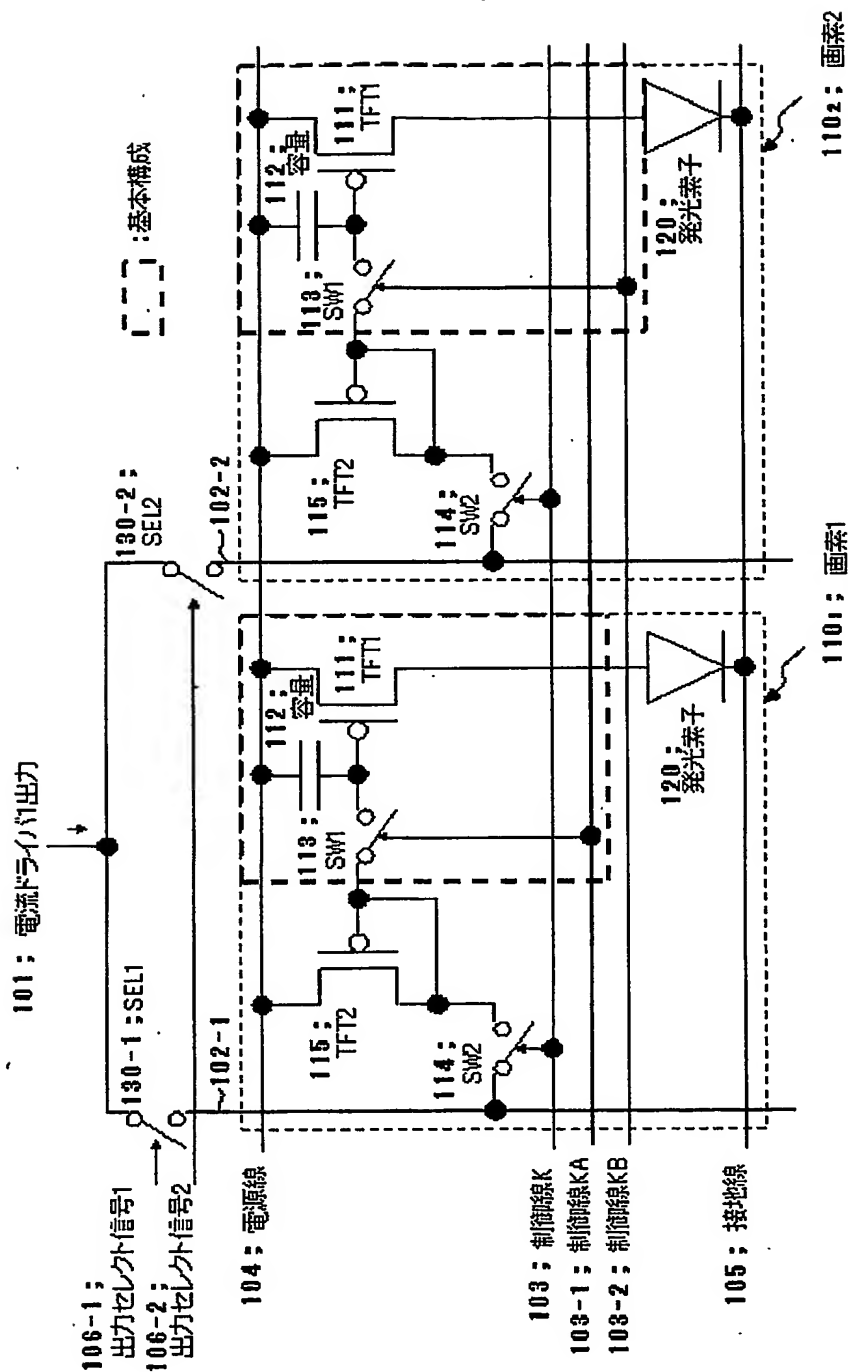
【図 7】



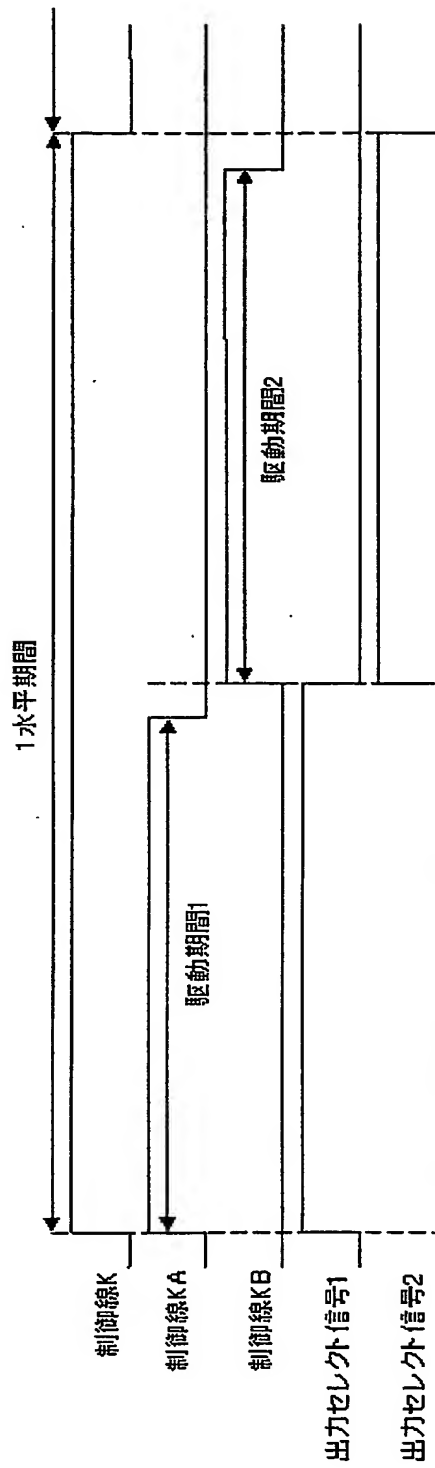
【図 8】



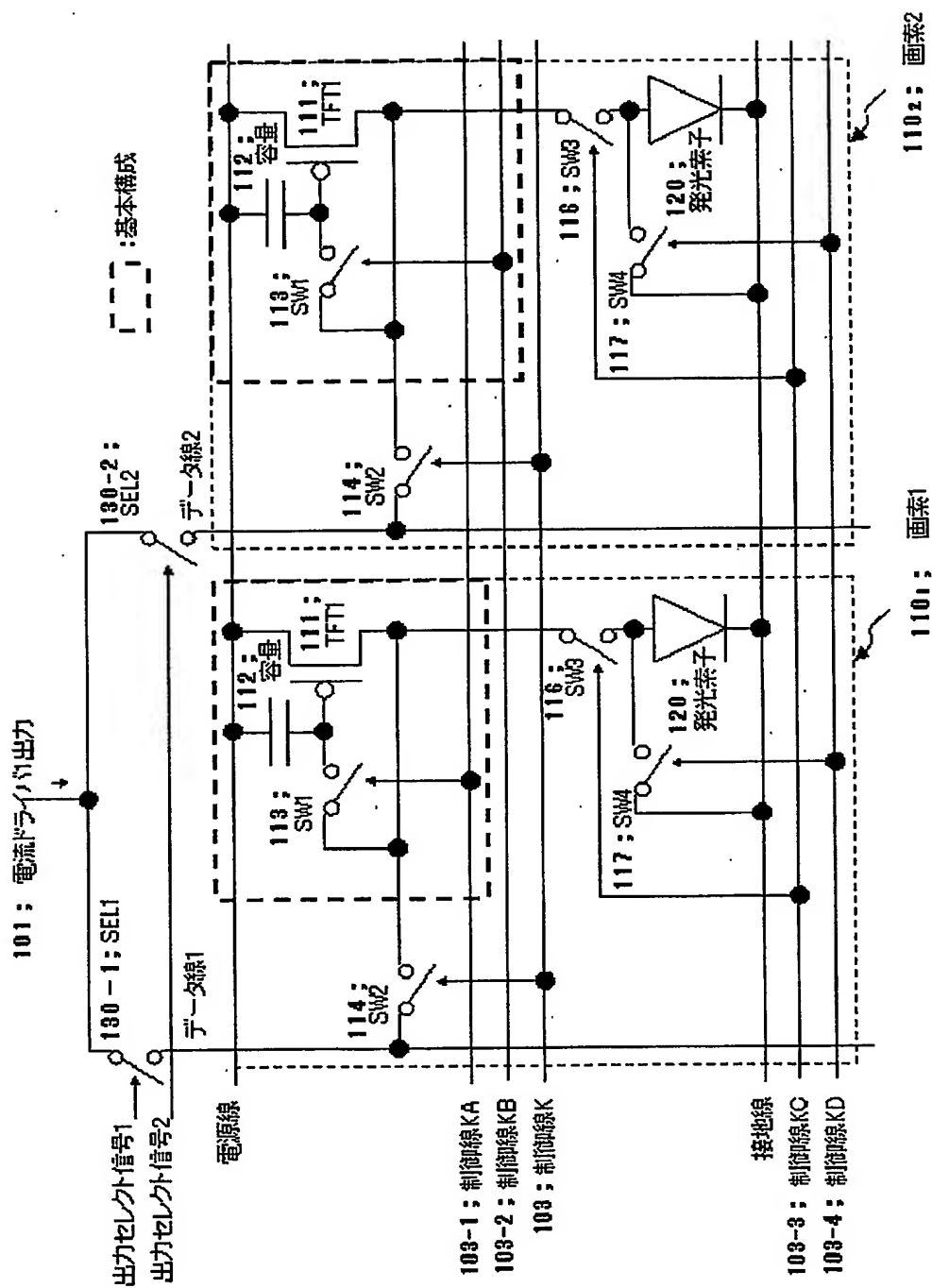
【図9】



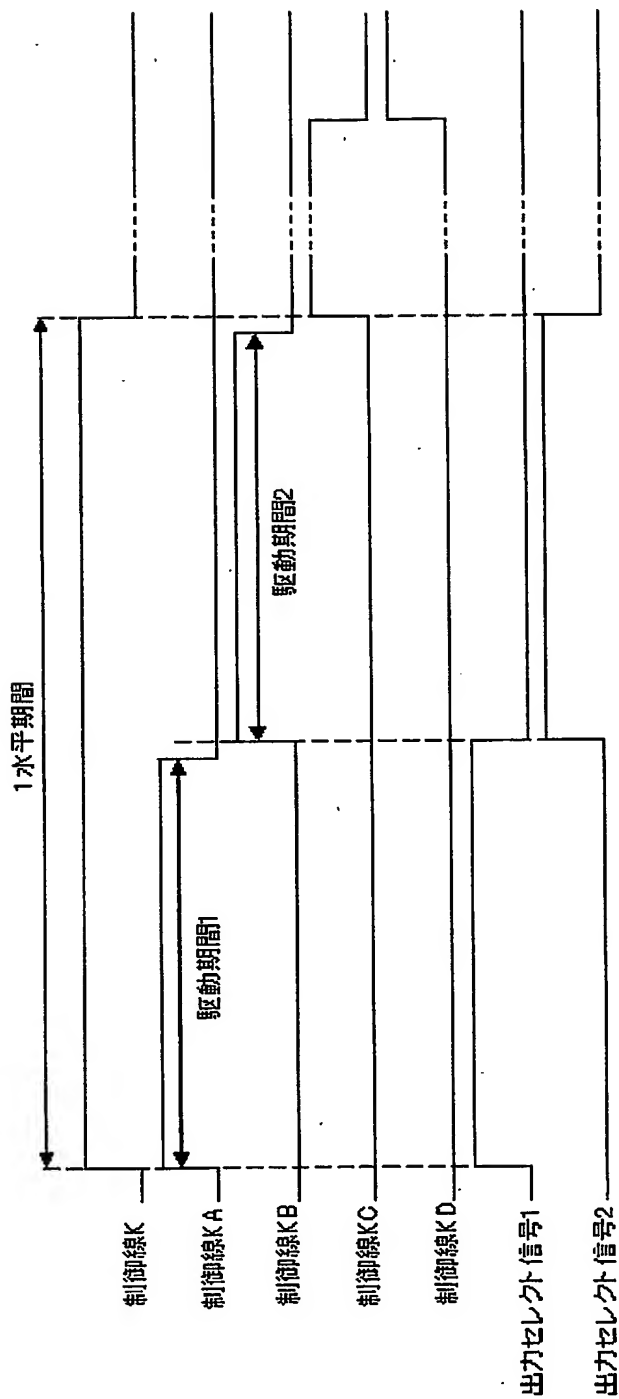
【図 1 0】



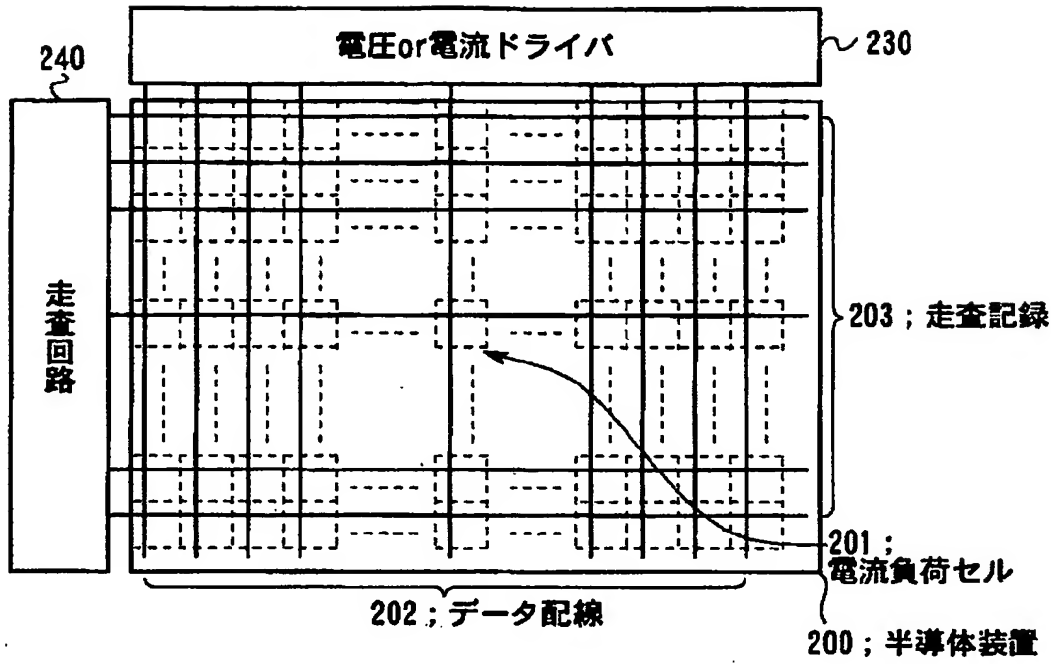
【図 11】



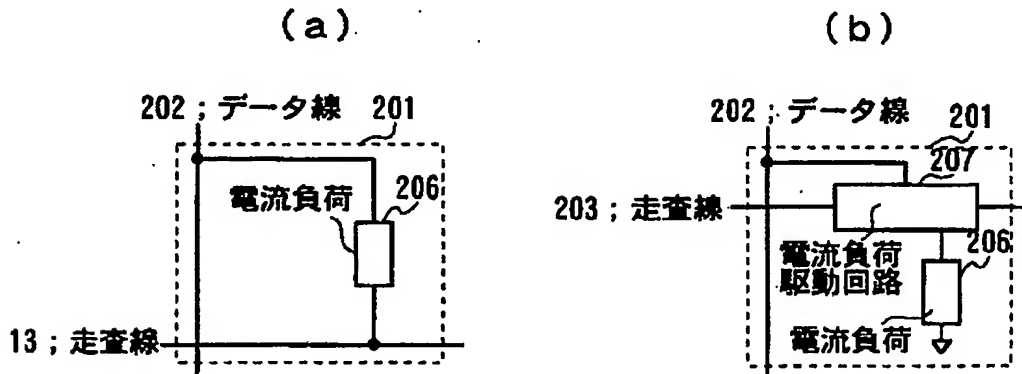
【図 12】



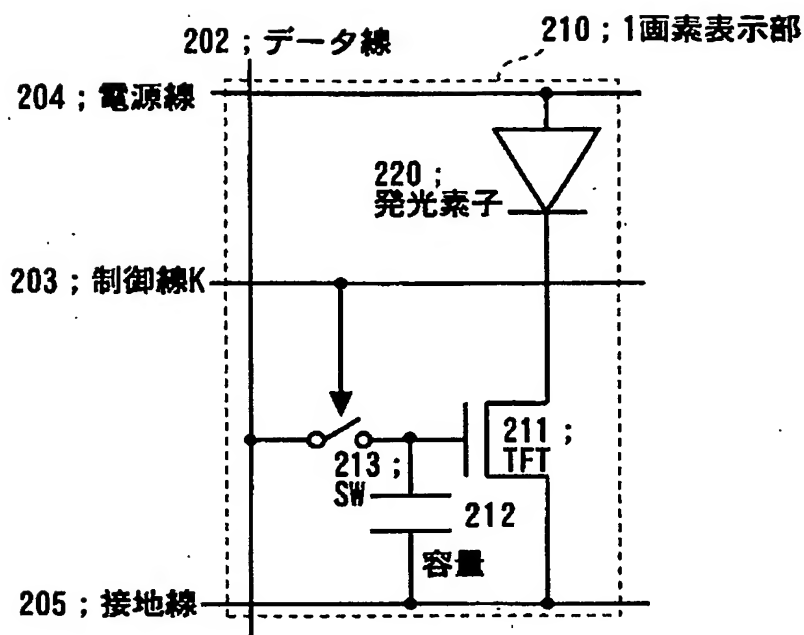
【図 1 3】



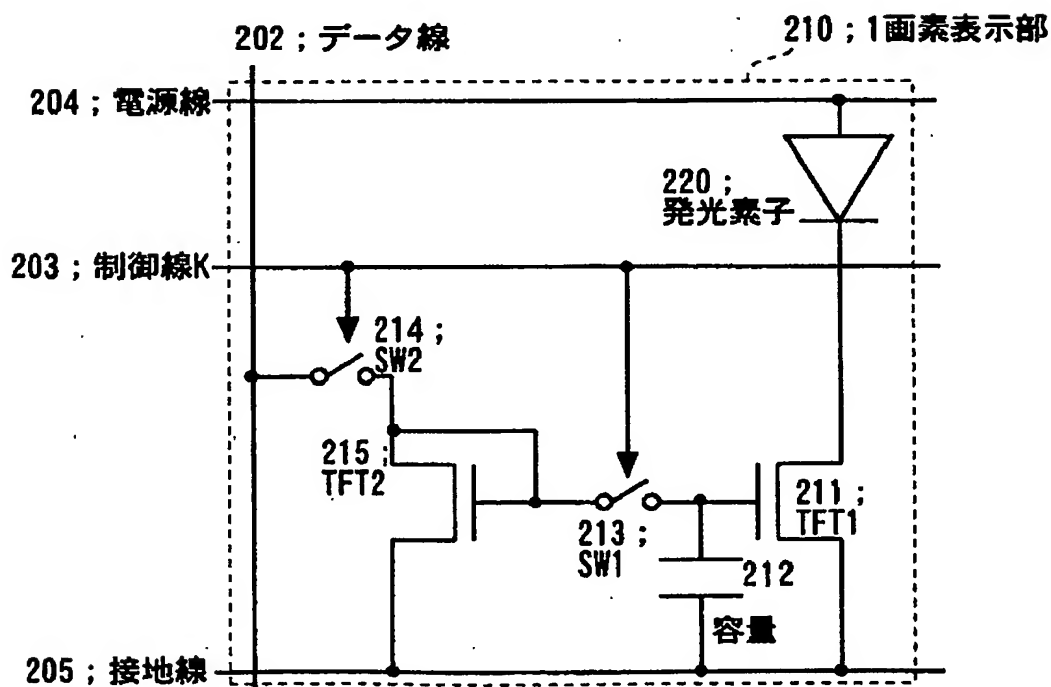
【図 1 4】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】

アクティブ駆動電流書き込みを適用した場合の、電流負荷と、電流負荷駆動回路とを備える電流負荷セルがマトリックス状に配置された半導体装置において、電流負荷駆動回路の構成をほとんど変えることなく、電流ドライバの回路規模を減少することができる装置とその駆動方法の提供。

【解決手段】

電流負荷セル 1 1 0 が、第 1、第 2 の電源 1 0 4、1 0 5 間に、電流負荷 1 2 0 と直列形態に接続されているトランジスタ 1 1 1 と、トランジスタ 1 1 1 の制御端子と第 1 の電源 1 0 4 の間に接続された容量 1 1 2 と、トランジスタ 1 1 1 の制御端子と対応するデータ線との間に接続されたスイッチ 1 1 3、1 1 4 を備えた電流負荷駆動回路を備え、電流ドライバの出力 1 0 1 をセクタ 1 3 0 - 1、1 3 0 - 2 を介して複数のデータ線に接続し、1 水平期間においてセクタを介して電流ドライバの 1 出力に接続される複数本のデータ線と、データ線の各々に対応する電流負荷セルのスイッチの少なくとも一つが時分割で駆動制御される。

【選択図】

図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.